



①9 **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Off nl ungungsschrift**
⑩ **DE 102 20 968 A 1**

⑤1 Int. Cl.⁷:
G 11 C 7/10

②1 Aktenzeichen: 102 20 968.5
②2 Anmeldetag: 10. 5. 2002
④3 Offenlegungstag: 2. 1. 2003

DE 102 20 968 A 1

③0 Unionspriorität:
2001-178286 13. 06. 2001 JP
⑦1 Anmelder:
Mitsubishi Denki K.K., Tokio/Tokyo, JP
⑦4 Vertreter:
Prüfer und Kollegen, 81545 München

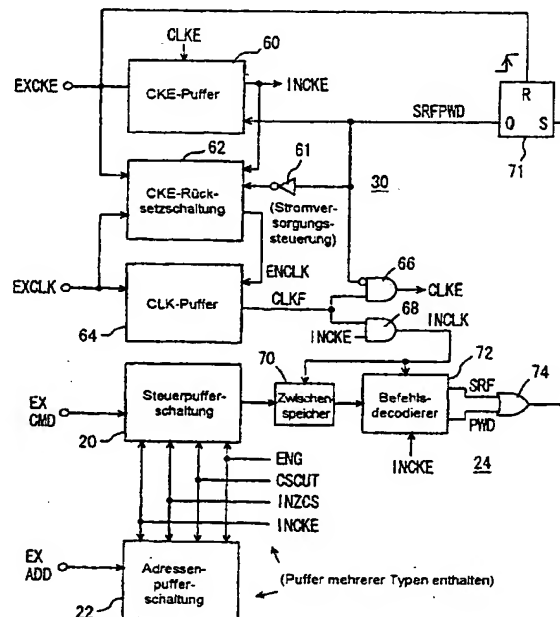
⑦2 Erfinder:
Matsumoto, Junko, Tokio/Tokyo, JP; Yamauchi,
Tadaaki, Tokio/Tokyo, JP; Okamoto, Takeo,
Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Taktsynchrone Halbleiterspeichervorrichtung

⑤7 In einer Steuerpufferschaltung (20) und in einer Adressenpufferschaltung (22) sind für jeden der Anschlüsse der Anschlußstifte Pufferschaltungen mehrerer Typen vorgesehen, wobei ein Eingangspuffer eines Typs gemäß einer Zustandssteuerungs-Signalgruppe (ENG) aktiviert wird. In einem Standby-Zustand werden die Stromwege der Steuerpufferschaltung (20) und der Adressenpufferschaltung (22) gemäß einem CS-Trennungsbetriebsart-Anweisungssignal (CSCUT), das in einem Betriebsartregister gespeichert ist, und einem internen Chipauswahlsignal (INZCS) wahlweise unterbrochen. Außerdem wird ein Stromweg eines CLK-Puffers (64) zum Erzeugen eines internen Taktsignals gemäß einem externen Taktfreigabesignal (EXCKE) und einem Niederleistungsbetriebsart-Anweisungssignal (SRFPWD) unterbrochen, wenn eine Betriebsart mit niedrigem Leistungsverbrauch spezifiziert ist, wobei die Stromwege der Steuerpufferschaltung (20) und der Adressenpufferschaltung (22) ebenfalls unterbrochen werden.



DE 102 20 968 A 1

[0001] Die Erfindung betrifft das Gebiet der Halbleitervorrichtungen und insbesondere eine Konfiguration einer Eingangsschaltung, in die ein externes Signal eingegeben wird und die ein internes Signal erzeugt. Insbesondere betrifft die Erfindung eine Konfiguration einer Eingangsschaltung einer taktsynchronen Halbleiterspeichervorrichtung, die synchron zu einem Taktsignal arbeitet.

[0002] Um eine Schnittstelle zu einer externen Vorrichtung zu schaffen, ist eine Halbleitervorrichtung intern mit einer als Schnittstellenschaltung dienenden Eingangsschaltung versehen, über die ein Signal eingegeben wird. Eine solche Signaleingangsschaltung besitzt nicht nur die Funktion, ein von einer externen Vorrichtung übertragenes Signal zu puffern, um eine Signalformgebung des Signals auszuführen, sondern auch die Funktion, eine Amplitude und/oder einen Spannungspegel des externen Signals je nach Schnittstelle der externen Vorrichtung in ein Signal umzusetzen, das einer Signalamplitude der internen Schaltungsanordnung entspricht. Als eine solche Eingangsschaltung wird gemäß der externen Schnittstelle eine von vielen Eingangsschaltungen mit verschiedenen Konfigurationen verwendet.

[0003] Fig. 25 ist ein Stromlaufplan einer ersten Konfiguration einer Eingangsschaltung. Die Eingangsschaltung in Fig. 25 umfaßt: einen P-Kanal-MOS-Transistor (einen Isolierschicht-Feldeffekttransistor) PQ1, der zwischen einen Stromversorgungsknoten und einen internen Knoten ND1 geschaltet ist und dessen Gate ein externes Signal EXS empfängt; und einen N-Kanal-MOS-Transistor NQ1, der zwischen den internen Knoten ND1 und einen Masseknoten geschaltet ist und dessen Gate das externe Signal EXS empfängt.

[0004] Durch Pufferung des externen Signals EXS wird an dem internen Knoten ND1 ein internes Signal INS erzeugt. An den Stromversorgungsknoten wird eine Stromversorgungsspannung Vdd angelegt.

[0005] Die in Fig. 25 gezeigte Signaleingangsschaltung ist ein CMOS-Inverterpuffer (Komplementär-MOS-Inverterpuffer), der das externe Signal EXS auf dem TTL-Pegel (Transistor-Transistor-Logik-Pegel) in ein internes Signal INS auf dem CMOS-Pegel umsetzt. Das externe Signal EXS kann ein Signal auf dem CMOS-Pegel sein.

[0006] In der in Fig. 25 gezeigten Konfiguration der Signaleingangsschaltung ist eine Eingangslogik-Schwellenspannung durch eine Funktion eines Beta-Verhältnisses (β -Verhältnisses) der MOS-Transistoren PQ1 und NQ1 und der Schwellenspannungen der MOS-Transistoren PQ1 und NQ1 bestimmt. Somit kann durch Einstellen einer Eingangslogik-Schwellenspannung das externe Signal EXS auf dem TTL-Pegel gepuffert und ein internes Signal INS auf dem CMOS-Pegel erzeugt werden.

[0007] Fig. 26 ist ein Stromlaufplan, der eine zweite Konfiguration einer Eingangsschaltung zeigt. Die Eingangsschaltung in Fig. 26 umfaßt: einen P-Kanal-MOS-Transistor PQ2, der zwischen einen Stromversorgungsknoten und einen Knoten ND2 geschaltet ist und dessen Gate an den Knoten ND2 angeschlossen ist; einen P-Kanal-MOS-Transistor PQ3, der zwischen den Stromversorgungsknoten und einen Knoten ND3 geschaltet ist und dessen Gate an den Knoten ND2 angeschlossen ist; einen N-Kanal-MOS-Transistor NQ3, der zwischen den Knoten ND2 und einen Masseknoten geschaltet ist und dessen Gate das externe Signal EXS empfängt; und einen N-Kanal-MOS-Transistor NQ4, der zwischen den Knoten ND3 und den Masseknoten geschaltet ist und dessen Gate eine Referenzspannung VREF empfängt.

[0008] In der in Fig. 26 gezeigten Eingangsschaltung bil-

den die MOS-Transistoren PQ2 und PQ3 eine Stromspiegelschaltung, wobei durch den MOS-Transistor PQ3 ein Strom von der gleichen Größe wie durch den MOS-Transistor PQ2 fließt (wobei beide die gleiche Größe haben). Wenn das externe Signal EXS höher als die Referenzspannung VREF ist, wird eine Leitfähigkeit des MOS-Transistors NQ3 größer als die des MOS-Transistors NQ4 gemacht, wobei durch den MOS-Transistor NQ3 im Vergleich zu einem durch den MOS-Transistor NQ4 fließenden Strom ein höherer Strom fließt. Von dem MOS-Transistor PQ2 wird ein über den MOS-Transistor NQ3 abgegebener Strom zugeführt. Somit wird über den MOS-Transistor PQ3 der Strom mit der gleichen Größe, wie er dem MOS-Transistor PQ2 zugeführt wird, an den MOS-Transistor NQ4 übertragen (wobei beide die gleiche Größe haben). Folglich geht ein Spannungspegel des internen Signals INS vom Knoten ND3 auf den H-Pegel über.

[0009] Wenn demgegenüber das externe Signal EXS tiefer als die Referenzspannung VREF ist, wird eine Leitfähigkeit des MOS-Transistors NQ4 größer als die des MOS-Transistors NQ3 gemacht, wobei ein Ansteuerstrom des MOS-Transistors NQ4 größer wird als der, der durch den MOS-Transistor NQ3 fließt. Somit gibt der MOS-Transistor NQ4 in diesem Fall einen größeren Strom ab als den, der vom MOS-Transistor PQ3 zugeführt wird, wobei das interne Signal INS vom Knoten ND3 auf den L-Pegel angesteuert wird.

[0010] Es wird angemerkt, daß in der in Fig. 26 gezeigten Eingangsschaltung zwischen einer gemeinsamen Source der MOS-Transistoren NQ3 und NQ4 und dem Masseknoten eine konstante Stromquelle vorgesehen sein kann.

[0011] Wenn im Fall der in Fig. 26 gezeigten Eingangsschaltung das externe Signal EXS eine kleine Signalamplitude besitzt und sich mit einer kleinen Amplitude um die Referenzspannung VREF als Mittelwert ändert, kann das interne Signal INS auf dem CMOS-Pegel gemäß einem Logikpegel des externen Signals EXS mit hoher Geschwindigkeit erzeugt werden. Wenn genauer eine Signalleitung, auf der das externe Signal EXS übertragen wird, mit einem Abschlußwiderstand abgeschlossen ist und eine Signalamplitude des externen Signals EXS klein gemacht wird, kann unter Verwendung der in Fig. 26 gezeigten Eingangsschaltung vom Differenzverstärkungstyp aus dem externen Signal EXS mit kleiner Amplitudenzuverlässigkeit zuverlässig ein internes Signal INS auf dem CMOS-Pegel erzeugt werden.

[0012] Fig. 27 ist ein Stromlaufplan einer dritten Konfiguration einer Eingangsschaltung. Die Eingangsschaltung in Fig. 27 enthält: die P-Kanal-MOS-Transistoren PQ4 und PQ5, die zwischen einem Stromversorgungsknoten und einem Knoten ND4 in Serie geschaltet sind und deren jeweilige Gates das externe Signal EXS und ein internes Steuersignal INCTL empfangen; und die N-Kanal-MOS-Transistoren NQ4 und NQ5, die zwischen dem Knoten ND4 und einem Masseknoten zueinander parallelgeschaltet sind und deren jeweilige Gates das externe Signal EXS und das interne Steuersignal INCTL empfangen.

[0013] Wenn in der in Fig. 27 gezeigten NOR-Eingangsschaltung das interne Steuersignal INCTL auf dem H-Pegel ist, ist der P-Kanal-MOS-Transistor PQ5 im Sperrzustand, während der N-Kanal-MOS-Transistor NQ5 im Durchlaßzustand ist, wobei das interne Signal INS auf einen Massespannungspegel festgesetzt wird.

[0014] Wenn andererseits das interne Steuersignal INCTL auf den L-Pegel übergeht, tritt der N-Kanal-MOS-Transistor NQ5 in den Sperrzustand ein und tritt der P-Kanal-MOS-Transistor PQ5 in den Durchlaßzustand ein, so daß durch die MOS-Transistoren PQ4 und NQ4 ein äquivalenter CMOS-

Inverter gebildet wird und gemäß dem externen Signal EXS das interne Signal INS erzeugt wird.

[0015] Die Eingangsschaltung mit der in Fig. 27 gezeigten Konfiguration arbeitet dynamisch gemäß dem internen Steuersignal INCTL, wobei ein Zeitpunkt, zu dem das externe Signal EXS angenommen wird, durch das interne Steuersignal INCTL bestimmt ist.

[0016] Die in den Fig. 25 bis 27 gezeigten Eingangsschaltungen werden je nach Schnittstelle und deren Anwendung geeignet zur Verwendung in einem Signaleingangsabschnitt einer Halbleitervorrichtung ausgewählt.

[0017] Es wird angemerkt, daß für eine Konfiguration einer Eingangsschaltung gemäß den verwendeten Schnittstellen verschiedene andere Konfigurationen verfügbar sein können, die nicht auf die in den Fig. 25 bis 27 gezeigten Konfigurationen beschränkt sind. Beispielsweise ist eine Differenzeingangsschaltung für eine Schnittstelle verfügbar, durch die Signale mit kleiner Amplitude in Form komplexer Signale übertragen werden.

[0018] Falls eine Konfiguration einer Eingangsschaltung gemäß einer einzelnen Schnittstelle abgewandelt wird und falls in einer einzelnen Halbleitervorrichtung gemäß einer zu verwendenden externen Schnittstelle eine spezifische Eingangsschaltung ausgebildet wird, müssen Halbleitervorrichtungen hergestellt werden, die die gleiche Konfiguration der internen Schaltungsanordnung besitzen, während sich die Konfiguration der jeweiligen Eingangsschaltungen unterscheidet. In diesem Fall müssen die Entwürfe für die jeweiligen Eingangsschaltungen einzeln konstruiert werden, was zu einer verringerten Entwurfs-effizienz führt. Außerdem entsteht eine weitere Notwendigkeit, Halbleitervorrichtungen, die sich lediglich in bezug auf die Konfiguration der Eingangsschaltungen unterscheiden, in getrennten Herstellungsschritten herzustellen, was eine Herstellungseffizienz verringert und außerdem das Produktmanagement nach der Herstellung verkompliziert.

[0019] Somit wird der folgende Prozeß verwendet, in dem in einem Master-Prozeß auf dem gleichen Halbleiterchip Eingangsschaltungen parallel ausgebildet werden, die an mehrere Schnittstellen angepaßt sind, wobei in einem Schnittprozeß eine zu verwendende Eingangsschaltung gemäß einer interessierenden Anwendung mit der internen Schaltungsanordnung und mit einem Signaleingangsknoten verbunden wird. Durch die Verwendung eines solchen Master/Schnitt-Prozesses kann für sämtliche externen Schnittstellen ein gemeinsamer Halbleiterchip verwendet werden, was zu einer Verbesserung der Herstellungseffizienz führt. Außerdem wird auch in bezug auf die Herstellungsprozesse die Herstellungsverarbeitung in dem Master-Prozeß üblicherweise auf mehrere Arten externer Schnittstellen angewendet, was eine Vereinfachung des Herstellungsprozesses ermöglicht.

[0020] Bei Verwendung des Master/Schnitt-Prozesses müssen je nach einer zu verwendenden Eingangsschaltung die Masken gewechselt werden, um in dem Schnittprozeß Verbindungen auszubilden. Somit muß in dem Schnittprozeß zum Ausbilden einer Verbindung in einem Eingangsschaltungs-Abschlußschritt eine Verbindungsschicht ausgebildet werden und darauf eine Strukturierung usw. ausgeführt werden, so daß eine sogenannte Durchlaufzeit (TAT) größer wird, was zu erhöhten Produktkosten führt.

[0021] Außerdem entsteht eine weitere Notwendigkeit zum einzelnen Vorbereiten spezifischer Masken zum Verbinden einer internen Schaltung, was ebenfalls zu erhöhten Produktionskosten führt.

[0022] Wie in den Fig. 25 und 26 gezeigt ist, arbeitet außerdem eine Eingangsschaltung jederzeit gemäß einem externen Signal, um mit hoher Geschwindigkeit ein internes

Signal zu erzeugen, das das interne Signal mit einer schnelleren Zeitgebung auf einen bestimmten Zustand ansteuert. Folglich entsteht ein Problem, daß in einem nicht erforderlichen Zeitraum Strom verbraucht wird. Beispielsweise erfolgt in einer Halbleiterspeichervorrichtung ein Datenzugriff, falls ein Chipauswahlsignal CS aktiviert ist, während kein interner Zugriff erfolgt und somit die Erzeugung eines internen Signals nicht besonders erforderlich ist, wenn ein Chipauswahlsignal CS in einem inaktiven Zustand ist. In einer solchen Situation ohne Zugriff arbeitet die Eingangsschaltung aber weiter, um ein internes Signal zu erzeugen, wobei unnötig Strom verbraucht wird, was zu einem Problem führt, daß kein niedriger Stromverbrauch erzielt werden kann. Dieses Problem wird noch ernster, wenn in einer Halbleiterspeichervorrichtung eine Betriebsart mit niedrigem Leistungsverbrauch wie etwa eine Schlafbetriebsart spezifiziert ist, die einen niedrigen Stromverbrauch erfordert.

[0023] Außerdem muß eine Pufferschaltung in einer ersten Eingangsstufe, wo ein externes Signal angenommen wird, um synchron zu einem Taktsignal ein internes Signal zu erzeugen, ein internes Signal mit einer maximal möglichen Zeitgebung erzeugen, um das interne Signal an die interne Schaltungsanordnung zu senden. Dies liegt daran, daß ein durch die Pufferschaltung in der ersten Eingangsstufe erzeugtes Signal synchron zu einem Taktsignal zwischengespeichert oder auf seinem Eingangspegel bestimmt wird.

[0024] Der Erfindung liegt daher die Aufgabe zugrunde, eine Halbleitervorrichtung mit einer Eingangsschaltung zu schaffen, die eine Durchlaufzeit verringern kann und die an mehrere verschiedene Eingangsschnittstellen angepaßt werden kann.

[0025] Diese Aufgabe wird erfindungsgemäß gelöst durch eine Halbleitervorrichtung nach einem der Ansprüche 1, 11 oder 15. Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

[0026] Gemäß einem Merkmal der Erfindung wird eine Halbleitervorrichtung mit einer Eingangsschaltung geschaffen, die einen verbrauchten Strom senken kann, ohne eine Zeitgebung der Erzeugung eines internen Signals zu verzögern.

[0027] Gemäß einem weiteren Merkmal der Erfindung wird eine taktsynchrone Halbleiterspeichervorrichtung mit niedrigem Leistungsverbrauch geschaffen.

[0028] Eine Halbleitervorrichtung gemäß einem ersten Aspekt der Erfindung umfaßt: mehrere Eingangspuffer, deren Form sich jeweils voneinander unterscheidet; und eine Programmschaltung zum Erzeugen eines Signals, das die mehreren Eingangspuffer alternativ in einen Betriebszustand einstellt. Die mehreren Eingangspuffer werden wahlweise gemäß einem Ausgangssignal der Programmschaltung in einen Betriebszustand einstellt, wobei sie einen internen Knoten gemäß einem Signal ansteuern, das sie empfangen, wenn sie aktiviert sind.

[0029] Eine Halbleitervorrichtung gemäß einem zweiten Aspekt der Erfindung umfaßt: eine Signaleingangsschaltung, die einen Eingangspuffer zum Puffern eines von außen zugeführten Signals und zum Erzeugen eines internen Signals, wenn er aktiviert ist, enthält; eine Registerschaltung zum Speichern eines Signals, das spezifiziert, ob die Steuerung an dem Eingangspuffer durch ein Betriebsaktivierungssignal, das anweist, daß das externe Signal gültig ist, freizugeben ist; und eine Aktivierungssteuerschaltung zum wahlweisen Aktivieren der Signaleingangsschaltung gemäß dem Betriebsaktivierungssignal und dem in der Registerschaltung gespeicherten Signal. Wenn das in der Registerschaltung gespeicherte Signal angibt, daß die Steuerung an der Signaleingangsschaltung durch das Betriebsaktivie-

rungssignal freigegeben ist, aktiviert die Aktivierungssteuer-
schaltung die Signaleingangsschaltung wahlweise gemäß
dem Betriebsaktivierungssignal. Wenn das in der Register-
schaltung gespeicherte Signal angibt, daß die Steuerung an
der Signaleingangsschaltung durch das Betriebsaktivie-
rungssignal zu sperren ist, versetzt die Aktivierungssteuer-
schaltung die Signaleingangsschaltung unabhängig vom Be-
triebsaktivierungssignal in einen Betriebszustand.

[0030] Eine Halbleitervorrichtung gemäß einem dritten
Aspekt der Erfindung umfaßt: eine Pufferschaltung zum
Puffern eines von außen gelieferten Signals, wenn sie akti-
viert ist; einen Taktpuffer zum Erzeugen eines internen
Taktsignals gemäß einem externen Taktsignal, wenn ein
Taktfreigabesignal aktiviert ist; eine Takterfassungs-Schal-
tungsanordnung zum Erfassen, ob das Taktfreigabesignal in
einer Niederleistungsbetriebsart während einer vorgegeben-
nen Zeitdauer inaktiv gehalten wird; und eine Steuerschal-
tung zum Einstellen der Pufferschaltung und des Taktpuffers
in einen inaktiven Zustand als Antwort auf ein Erfassungssi-
gnal der Takterfassungs-Schaltungsanordnung.

[0031] Dadurch, daß die mehreren Eingangspuffer, deren
Konfiguration sich jeweils voneinander unterscheidet, wahl-
weise gemäß dem Ausgangssignal der Programmschaltung
betriebsfähig eingestellt werden, kann in den gleichen Her-
stellungsprozessschritten eine Halbleitervorrichtung herge-
stellt werden, die an irgendwelche externen Schnittstellen
anpaßbar ist. Außerdem kann in einem Test nach der Her-
stellung dadurch, daß die mehreren Eingangsschaltungen
unter Verwendung eines Testers wahlweise betriebsfähig ge-
macht werden, ein Test einer internen Schaltungsanordnung
ausgeführt werden.

[0032] Außerdem kann lediglich durch ein Programm der
Programmschaltung nur eine Eingangsschaltung betrieben
werden, die einer gewünschten externen Schnittstelle ent-
spricht, wodurch eine Verringerung der Durchlaufzeit sowie
der Herstellungskosten ermöglicht wird.

[0033] Außerdem kann dadurch, daß gemäß einem in der
Registerschaltung gespeicherten Signal eingestellt wird, ob
die Eingangsschaltung in Übereinstimmung mit dem Be-
triebsaktivierungssignal gesteuert werden soll, leicht eine
Halbleitervorrichtung mit niedrigem Stromverbrauch er-
reicht werden, die an eine Nutzungsanwendung angepaßt
ist, ohne eine interne Konfiguration der Vorrichtung auf ir-
gendeine Weise zu ändern.

[0034] Außerdem werden in der Niederleistungsbetriebs-
art die Pufferschaltung und die Taktpufferschaltung ge-
sperrt, wenn das Taktfreigabesignal während einer Zeit-
dauer einer vorgeschriebenen Anzahl von Zyklen in einem
inaktiven Zustand gehalten wird. Da in der Niederleistungs-
betriebsart kein Betrieb der Erzeugung eines internen Si-
gnals gemäß einem externen Signal ausgeführt wird, kann
folglich in der Niederleistungsbetriebsart dadurch, daß die-
ser unnötige Betrieb der Pufferschaltungen abgeschlossen
wird, ein verbrauchter Strom stärker gesenkt werden.

[0035] Weitere Merkmale und Zweckmäßigkeiten der Er-
findung ergeben sich aus der Beschreibung von Ausführ-
ungsformen der Erfindung anhand der Figuren. Von den Fi-
guren zeigen:

[0036] Fig. 1 einen schematischen Blockschaltplan einer
Gesamtkonfiguration einer Halbleitervorrichtung gemäß ei-
ner ersten Ausführungsform der Erfindung;

[0037] Fig. 2 einen schematischen Blockschaltplan eines
Beispiels der Konfiguration einer in Fig. 1 gezeigten Ein-
gangspuffergruppe;

[0038] Fig. 3 einen Stromlaufplan eines Beispiels der
Konfiguration eines ersten Typs eines in Fig. 2 gezeigten
Eingangspuffers;

[0039] Fig. 4 einen Stromlaufplan eines Beispiels der

Konfiguration eines zweiten Typs des in Fig. 2 gezeigten
Eingangspuffers;

[0040] Fig. 5 einen Stromlaufplan eines Beispiels der
Konfiguration eines dritten Typs des in Fig. 2 gezeigten Ein-
gangspuffers;

[0041] Fig. 6 einen schematischen Stromlaufplan eines
Beispiels der Abwandlung des in Fig. 2 gezeigten Eingangs-
puffers;

[0042] Fig. 7 einen Stromlaufplan eines Beispiels der
Konfiguration einer in Fig. 1 gezeigten Programmschaltung;

[0043] Fig. 8 einen Stromlaufplan eines Beispiels der
Konfiguration einer Programmschaltung gemäß einer zwei-
ten Ausführungsform der Erfindung;

[0044] Fig. 9 einen schematischen Blockschaltplan einer
Konfiguration eines Hauptabschnitts einer Halbleiterspei-
chervorrichtung gemäß einer dritten Ausführungsform der
Erfindung;

[0045] Fig. 10 einen Zeitablaufplan des Betriebs der in
Fig. 9 gezeigten Halbleitervorrichtung;

[0046] Fig. 11 einen schematischen Blockschaltplan einer
Konfiguration eines Abschnitts mit Bezug auf eine CS-Tren-
nungsbetriebsart in der in Fig. 9 gezeigten Konfiguration;

[0047] Fig. 12 einen Stromlaufplan eines Beispiels der
Konfiguration einer in Fig. 11 gezeigten Registerschaltung;

[0048] Fig. 13 einen schematischen Blockschaltplan einer
Konfiguration einer Puffersteuerschaltung der dritten Aus-
führungsform der Erfindung;

[0049] Fig. 14 einen Blockschaltplan eines Beispiels der
gemeinsamen Konfiguration eines in Fig. 13 gezeigten Lo-
gikgatters und einer in Fig. 13 gezeigten Pufferschaltung;

[0050] Fig. 15 einen Blockschaltplan eines Beispiels einer
Abwandlung des Logikgatters und der Pufferschaltung, die
gemeinsam in Fig. 13 gezeigt sind;

[0051] Fig. 16 einen schematischen Blockschaltplan eines
weiteren Beispiels der Abwandlung der dritten Ausführ-
ungsform der Erfindung;

[0052] Fig. 17 einen schematischen Blockschaltplan einer
Konfiguration eines Hauptteils einer Halbleiterspeichervor-
richtung gemäß einer vierten Ausführungsform der Erfin-
dung;

[0053] Fig. 18 einen schematischen Zeitablaufplan des
Betriebs eines in Fig. 17 gezeigten CKE-Puffers;

[0054] Fig. 19A, 19B Zeitablaufpläne von Operationen
des in Fig. 17 gezeigten CKE-Puffers;

[0055] Fig. 20 einen Stromlaufplan eines Beispiels der
Konfiguration einer in Fig. 17 gezeigten CKE-Rücksetz-
schaltung;

[0056] Fig. 21 einen Zeitablaufplan einer Operation einer
in Fig. 20 gezeigten CKE-Rücksetzschaltung in einer Nor-
malbetriebsart;

[0057] Fig. 22 einen Zeitablaufplan einer Operation der in
Fig. 20 gezeigten CKE-Rücksetzschaltung in einer Nieder-
leistungsbetriebsart;

[0058] Fig. 23 einen Stromlaufplan eines Beispiels einer
Konfiguration eines Stromsteuerabschnitts einer in Fig. 17
gezeigten Steuerpufferschaltung und einer in Fig. 17 gezeig-
ten Adressenpufferschaltung;

[0059] Fig. 24 einen schematischen Blockschaltplan eines
Beispiels einer Abwandlung der vierten Ausführungsform
der Erfindung;

[0060] Fig. 25 den bereits erwähnten Stromlaufplan einer
ersten Konfiguration einer Eingangsschaltung;

[0061] Fig. 26 den bereits erwähnten Stromlaufplan einer
zweiten Konfiguration einer Eingangsschaltung; und

[0062] Fig. 27 den bereits erwähnten Stromlaufplan einer
dritten Konfiguration einer Eingangsschaltung.

[0063] Fig. 1 ist ein schematischer Blockschaltplan einer Gesamtkonfiguration einer Halbleitervorrichtung gemäß einer ersten Ausführungsform der Erfindung. Eine Halbleitervorrichtung 1 in Fig. 1 umfaßt: eine Eingangspuffergruppe 3, die Eingangspuffer für verschiedene Schnittstellenspezifikationen enthält; eine Programmschaltung 2 zum Erzeugen einer Betriebssteuerungs-Signalgruppe ENG zum wahlweisen Aktivieren der in der Eingangspuffergruppe 3 enthaltenen Puffer; und eine interne Schaltung 4 zum Ausführen einer vorgeschriebenen Operation gemäß einem von der Eingangspuffergruppe 3 angelegten internen Signal.

[0064] In der Eingangspuffergruppe 3 sind entsprechend den jeweiligen Schnittstellen mehrere Eingangspuffer vorgesehen, die jedem der Eingangsknoten EX1 bis EXn entsprechen. Gemäß der Zustandssteuerungs-Signalgruppe ENG von der Programmschaltung 2 wird einer der an einem Eingangsknoten vorgesehenen mehreren Puffer, die sich jeweils in bezug auf die Konfiguration oder in bezug auf die Schnittstellenspezifikation voneinander unterscheiden, aktiviert. Somit werden in der Eingangspuffergruppe 3 die Eingangspuffer mit verschiedenen Konfigurationen bis zum abschließenden Herstellungsschritt durch die gleichen Herstellungsprozessschritte hergestellt. Dadurch, daß die in der Eingangspuffergruppe 3 enthaltenen Eingangspuffer gemäß der Zustandssteuerungs-Signalgruppe ENG von der Programmschaltung 2 wahlweise in einen Betriebszustand eingestellt werden, kann ein Eingangspuffer, der einer an die Halbleitervorrichtung angelegten externen Schnittstelle entspricht, jederzeit auf einen normalen Betriebszustand eingestellt werden.

[0065] Lediglich durch Programmierung der Zustände der Zustandssteuerungs-Signalgruppe ENG der Programmschaltung 2 kann ein an eine zu verwendende externe Schnittstelle angepaßter Eingangspuffer in kurzer Zeit auf einen Betriebszustand eingestellt werden. Außerdem kann in der Eingangspuffergruppe 3 jeder Eingangspuffer getestet werden, wobei er auf Wafer-Ebene in einen Betriebszustand eingestellt wird, um die Zuverlässigkeit der Eingangspuffer sicherzustellen, was eine Verringerung der Durchlaufzeit ermöglicht.

[0066] Fig. 2 ist ein schematischer Blockschaltplan einer Konfiguration einer entsprechend einem Signaleingangsknoten vorgesehenen Eingangspufferschaltung. Die Eingangspufferschaltung in der Eingangspuffergruppe 3 in Fig. 2 enthält einen Eingangspuffer 11 vom ersten Typ, einen Eingangspuffer 12 vom zweiten Typ und einen Eingangspuffer 13 vom dritten Typ, die zwischen einem Signaleingangsknoten 5 und einem internen Knoten 6 parallelgeschaltet sind. An die Eingangspuffer 11, 12 und 13 werden jeweils die Zustandssteuersignale EN1, EN2 und EN3 von der in Fig. 1 gezeigten Programmschaltung 2 angelegt. Die Eingangspuffer 11, 12 und 13 werden jeweils in einen Betriebszustand eingestellt, wenn die entsprechenden Zustandssteuersignale EN1, EN2 und EN3 und die externen Puffersignale EXi aktiv sind, um, wenn sie aktiviert sind, das interne Signal INi zu erzeugen.

[0067] Das Zustandssteuersignal EN1 wird gemeinsam an die in der Eingangspuffergruppe 3 enthaltenen Eingangspuffer vom ersten Typ angelegt, das Zustandssteuersignal EN2 wird gemeinsam an die in der Eingangspuffergruppe 3 enthaltenen Eingangspuffer vom zweiten Typ angelegt und das Zustandssteuersignal EN3 wird gemeinsam an die in der Eingangspuffergruppe 3 enthaltenen Eingangspuffer vom dritten Typ angelegt. Die Eingangspuffer 11 vom ersten Typ, die Eingangspuffer 12 vom zweiten Typ und die Eingangspuffer 13 vom dritten Typ sind für jeden der Eingangs-

schlüsse EX1 bis EXn in einem Satz angeordnet.

[0068] Dadurch, daß die Programmschaltung 2 gemeinsam für die Eingangspuffer der Eingangspuffergruppe 3 vorgesehen ist, kann ein einer Spezifikation einer angelegten externen Schnittstelle entsprechender Eingangspuffer in der Eingangspuffergruppe 3 auf einen Betriebszustand eingestellt werden, ohne eine Schaltungsbelegungsfläche zu erhöhen.

[0069] Fig. 3 ist ein Stromlaufplan eines Beispiels der Konfiguration des Eingangspuffers 11 vom ersten Typ. Der in Fig. 3 gezeigte Eingangspuffer 11 vom ersten Typ enthält: die MOS-Transistoren PQ1 und NQ1, deren jeweilige Gates an den Signaleingangsknoten 5 angeschlossen sind; einen P-Kanal-MOS-Transistor PT1, der zwischen einem Stromversorgungsknoten und den MOS-Transistor PQ1 geschaltet ist und dessen Gate ein komplementäres Zustandssteuersignal ZEN1 empfängt; und einen N-Kanal-MOS-Transistor NT1, der zwischen den MOS-Transistor NQ1 und einen Masseknoten geschaltet ist und dessen Gate das Zustandssteuersignal EN1 empfängt.

[0070] Die Konfiguration des in Fig. 3 gezeigten Eingangspuffers vom ersten Typ entspricht der in Fig. 25 gezeigten Eingangspufferschaltung. Wenn das Zustandssteuersignal ENi auf dem H-Pegel und das komplementäre Zustandssteuersignal ZEN1 auf dem L-Pegel ist, sind die MOS-Transistoren PT1 und NT1 leitend, wobei am internen Knoten 6 durch die MOS-Transistoren PQ1 und NQ1 gemäß dem externen Signal EXi das interne Signal INi erzeugt wird.

[0071] Wenn die Zustandssteuersignale ENi und ZEN1 auf dem L- bzw. H-Pegel sind, sind die MOS-Transistoren PT1 und NT1 unabhängig vom externen Signal EXi im Sperrzustand, wobei der Knoten ND1 im hochimpedanten Zustand gehalten wird.

[0072] Fig. 4 ist ein Stromlaufplan eines Beispiels der Konfiguration des in Fig. 2 gezeigten Eingangspuffers 12 vom zweiten Typ. Die Konfiguration des in Fig. 4 gezeigten Eingangspuffers vom zweiten Typ entspricht der Konfiguration des in Fig. 26 gezeigten Eingangspuffers. In Fig. 4 ist zwischen den P-Kanal-MOS-Transistoren PQ2 und PQ3, die eine Stromspiegelschaltung bilden, und einem Stromversorgungsknoten ein P-Kanal-MOS-Transistor PT2 vorgesehen, dessen Gate das komplementäre Zustandssteuersignal ZEN2 empfängt, während außerdem zwischen einem gemeinsamen Knoten der N-Kanal-MOS-Transistoren NQ3 und NQ4, die eine Differenzstufe bilden, und einem Masseknoten ein N-Kanal-MOS-Transistor NT2 vorgesehen ist, dessen Gate das Zustandssteuersignal EN2 empfängt.

[0073] Wenn im Fall der in Fig. 4 gezeigten Konfiguration der Eingangspufferschaltung die Zustandssteuersignale EN2 und ZEN2 auf dem L- bzw. H-Pegel sind, sind die beiden MOS-Transistoren PT2 und NT2 im Sperrzustand, wobei der Knoten ND3 im hochimpedanten Zustand gehalten wird.

[0074] Wenn das Zustandssteuersignal EN2 und ZEN2 auf dem H- bzw. L-Pegel ist, sind die MOS-Transistoren NT2 und PT2 in einem Durchlaßzustand, wobei die gemeinsame Source der MOS-Transistoren PQ2 und NQ2 mit dem Stromversorgungsknoten gekoppelt ist, während die gemeinsame Source der MOS-Transistoren NQ3 und PQ3 mit dem Masseknoten gekoppelt ist, während die Eingangspufferschaltung in Übereinstimmung mit dem externen Signal EXi in einem Betriebszustand ist, um am internen Knoten 6 das interne Signal INi zu erzeugen.

[0075] Es wird angemerkt, daß in der in Fig. 4 gezeigten Konfiguration des Differenzeingangspuffers ein Stromquellen-Transistor mit dem MOS-Transistor NT2 in Serie geschaltet sein kann. Der MOS-Transistor NT2 kann eine Funktion

des Stromquellentransistors besitzen.

[0076] Fig. 5 ist ein Stromlaufplan eines Beispiels der Konfiguration der in Fig. 2 gezeigten Eingangsschaltung 13 vom dritten Typ zeigt. Die Konfiguration des in Fig. 5 gezeigten Eingangspuffers vom dritten Typ entspricht der des in Fig. 27 gezeigten NOR-Eingangspuffers. Der in Fig. 5 gezeigte Eingangspuffer 13 vom dritten Typ unterscheidet sich von dem in Fig. 27 gezeigten in Bezug auf folgenden Punkt. Das Ausgangssignal einer NAND-Schaltung 7, die das Zustandssteuersignal EN3 und das interne Steuersignal INC_{CTL} empfängt, wird an das Gate eines MOS-Transistors PQ5 angelegt, der an einen Stromversorgungsknoten angeschlossen ist, wobei ein Ausgangssignal der NAND-Schaltung 7 ebenfalls an das Gate eines N-Kanal-MOS-Transistors NQ5 angelegt wird, wodurch der interne Knoten 6 auf den Massenspannungspegel festgesetzt ist, wenn der interne Puffer in einen inaktiven Zustand gesetzt ist. Die anderen Teile der Konfiguration sind die gleichen wie in der in Fig. 27 gezeigten Konfiguration, wobei entsprechende Komponenten mit den gleichen Bezugszeichen bezeichnet sind und ihre ausführliche Beschreibung weggelassen ist.

[0077] Wenn das Zustandssteuersignal EN3 in der in Fig. 5 gezeigten Konfiguration des Eingangspuffers 13 auf dem L-Pegel ist, ist ein Ausgangssignal der NAND-Schaltung 7 auf den H-Pegel festgesetzt, wobei der MOS-Transistor PQ5 in einem Sperrzustand ist, während der MOS-Transistor NQ5 in einem Durchlaßzustand ist und der Knoten ND4 unabhängig von einem Logikpegel eines externen Signals auf den L-Pegel festgesetzt ist. An den internen Knoten 6 ist ein Eingangspuffer von einem anderen Typ angeschlossen.

[0078] Der Anschluß der Eingangspuffer 11, 12 und 13 an den internen Knoten 6 ist eine verdrahtete ODER-Verbindung. Somit wird der interne Knoten 6 selbst dann, wenn das Ausgangssignal des Eingangspuffers 13, wenn er nicht verwendet wird, auf den L-Pegel festgesetzt ist, auf einen Logikpegel angesteuert, der einem Ausgangssignal eines anderen Eingangspuffers, der verwendet wird, entspricht. Somit wird das dem externen Signal EXi entsprechende Signal interne INi selbst dann, wenn ein Ausgangsknoten des NOR-Eingangspuffers 13, wenn er nicht verwendet wird, auf den L-Pegel festgesetzt ist, durch einen anderen Eingangspuffer, der in einen Betriebszustand eingestellt wird, richtig erzeugt.

[0079] Wenn das Zustandssteuersignal EN3 auf den H-Pegel eingestellt ist, arbeitet die NAND-Schaltung 7 als Inverter, wobei sich ihr Ausgangssignal entsprechend dem internen Steuersignal INC_{CTL} ändert. Dabei wird der Eingangspuffer 13 gemäß dem Zustandssteuersignal EN3 in einen Betriebszustand eingestellt, wenn das interne Steuersignal INC_{CTL} auf dem H-Pegel ist und wenn der MOS-Transistor PQ5 in einem Durchlaßzustand ist, während der MOS-Transistor NQ5 in einem Sperrzustand ist, wobei die interne Pufferschaltung 13 den internen Knoten 6 gemäß dem externen Signal EXi ansteuert, um das interne Signal INi zu erzeugen.

[0080] Wenn das interne Steuersignal INC_{CTL} auf dem L-Pegel ist, ist das Ausgangssignal der NAND-Schaltung 7 auf dem H-Pegel, wobei der MOS-Transistor PQ5 in einem Sperrzustand ist, während der MOS-Transistor NQ5 in einem Durchlaßzustand ist, wobei dementsprechend der interne Knoten 6 unabhängig vom Zustand des externen Signals EXi auf den L-Pegel festgesetzt ist.

[0081] Wenn in einer später beschriebenen taktsynchronen Halbleiterspeichervorrichtung als internes Signal INC_{CTL} ein internes Taktfreigabesignal INTCKE verwendet wird, das die Erzeugung eines internen Taktsignals steuert, kann der Betrieb eines Eingangspuffers abgeschlossen werden, während die Erzeugung eines internen Takts abgeschlossen wird, um den Stromverbrauch zu senken.

[0082] Dadurch, daß die Zustandssteuersignale EN1 bis EN3 entsprechend den Typen der Eingangspuffer von der Programmschaltung 2 an die Eingangspuffer der jeweiligen Typen der in Fig. 1 gezeigten Eingangspuffergruppe 3 angelegt werden, können die Eingangspuffer wahlweise in den Betriebszustand gesetzt werden, was die Verwendung der Eingangspuffer entsprechend einer externen Schnittstelle ermöglicht.

[0083] Da die nicht verwendeten Eingangspuffer 11 und 12 in einen hochimpedanten Ausgangszustand versetzt werden, wird auf den internen Knoten 6 kein nachteiliger Einfluß ausgeübt. Außerdem steuert, wenn der interne Puffer 13 nicht verwendet wird, ein weiterer Eingangspuffer 11 oder 12 den internen Knoten 6 gemäß dem externen Signal EXi an. Somit wird auf eine interne Operation selbst dann kein nachteiliger Einfluß ausgeübt, wenn die Eingangspuffer 11 bis 13 zum internen Knoten 6 parallelgeschaltet sind und abwechselnd gemäß den Zustandssteuersignalen EN1 bis EN3 in einen Betriebszustand eingestellt werden.

[0084] Wenn in den in den Fig. 3 bis 5 gezeigten Konfigurationen der Eingangspuffer eine Gate-Kapazität eines nicht verwendeten Eingangspuffers an den Signaleingangsknoten 5 angeschlossen wird und eine Lastkapazität des Signaleingangsknotens 5 steigt, kann möglicherweise eine Eingangsimpedanz steigen. In diesem Fall kann eine wie im Fall 6 gezeigte Konfiguration verwendet werden, in der zwischen dem Eingangspuffer 3j und dem Signaleingangsknoten 5 ein CMOS-Übertragungsgatter 15 vorgesehen ist, wobei der nicht verwendete Eingangspuffer 3j gemäß den Zustandssteuersignalen ENj und ZENj gegenüber dem Signaleingangsknoten 5 isoliert ist. Obgleich bei Verwendung einer solchen Konfiguration eine Übergangskapazität des CMOS-Übertragungsgatters 15 an den Signaleingangsknoten 5 gekoppelt ist, ist die Übergangskapazität ausreichend kleiner als die Gate-Kapazität des MOS-Transistors des Eingangspuffers 3j. Somit kann eine parasitäre Kapazität des Signaleingangsknotens 5 ausreichend klein gemacht werden, wodurch eine Zunahme der Last am Signaleingangsknoten 5 selbst dann zuverlässig unterdrückt werden kann, wenn die Eingangspuffer mehrerer Typen entsprechend einem Signaleingangsknoten parallel vorgesehen sind.

[0085] Fig. 7 ist ein Stromlaufplan eines Beispiels der Konfiguration der in Fig. 1 gezeigten Programmschaltung 2. Die Programmschaltung 2 in Fig. 7 enthält: einen P-Kanal-MOS-Transistor PR1 und ein Verbindungselement (Sicherungselement) LT1, die zwischen einem Stromversorgungsknoten und dem Knoten ND5 in Serie geschaltet sind; ein Widerstandselement R1, das zwischen den Knoten ND5 und einen Masseknoten geschaltet ist; einen P-Kanal-MOS-Transistor PR2 und ein Verbindungselement LT2, die zwischen dem Stromversorgungsknoten und einem Knoten N6 in Serie geschaltet sind; und ein Widerstandselement R2, das zwischen den Knoten ND6 und den Masseknoten geschaltet ist.

[0086] Die Gates der P-Kanal-MOS-Transistoren PR1 und PR2 sind an den Masseknoten angeschlossen, wobei die MOS-Transistoren PR1 und PR2 als Strombegrenzungselemente wirken, die einen sehr kleinen Strom zuführen. Die Widerstandselemente R1 und R2 sind Pull-down-Widerstände mit einem hohen Widerstandswert. Die Verbindungselemente LT1 und LT2 sind Sicherungselemente, die durch einen Energiestrahle wie etwa durch einen Laserstrahl durchgeschmolzen werden können.

[0087] Ferner enthält die Programmschaltung 2 die Gatterschaltungen GT1 bis GT3, die jeweils die Signale F1 und F2 am Knoten ND5 und MD6 empfangen. Wenn die Signale F1 und F2 beide auf dem H-Pegel sind, steuert die Gatterschaltung GT1 das Zustandssteuersignal EN1 auf den H-Pe-

gel an. Wenn das Signal F1 auf dem L-Pegel und das Signal F2 auf dem H-Pegel ist, steuert die Gatterschaltung GT2 das Zustandssteuersignal EN2 auf den H-Pegel an. Wenn das Signal F1 auf dem H-Pegel und das Signal F2 auf dem L-Pegel ist, steuert die Gatterschaltung GT3 das Steuersignal EN3 auf den H-Pegel an. Die Gatterschaltungen GT1 bis GT3 bilden eine Decodierschaltung, die die durch die Verbindungselemente programmierten Eingangspuffer-Identifizierungsinformationen decodiert, um ein dem Decodierungsergebnis entsprechendes Zustandssteuersignal auf einen aktiven Zustand anzusteuern.

[0088] Wenn das Verbindungselement LT1 leitend ist, fließt ein Strom im Widerstandselement R1, wobei das Signal F1 am Knoten ND5 den H-Pegel erreicht. Wenn das Verbindungselement LT1 durchgeschmolzen ist, wird der Knoten ND5 durch das Widerstandselement R1 auf den Massespannungspegel herabgezogen, wobei das Signal F1 den L-Pegel erreicht.

[0089] Ähnlich ist das Signal F2 auf dem H-Pegel, wenn das Verbindungselement LT2 leitend ist, während das Signal F2 auf dem L-Pegel ist, wenn das Verbindungselement LT2 in einem durchgeschmolzenen Zustand ist. Durch wahlweises Einstellen (Programmieren) der Verbindungselemente LT1 und LT2 auf einen leitenden Zustand und einen durchgeschmolzenen Zustand kann eines der Zustandssteuersignale EN1 bis EN3 auf einen aktiven Zustand (H-Pegel) angesteuert werden, um einen Typ des Eingangspuffers auszuwählen.

[0090] Die Programmschaltung 2 ist für die Eingangspuffer der Eingangspuffer 3 gemeinsam vorgesehen, wobei eine Schaltungsbelegungsfläche im Vergleich zu einer Konfiguration, in der die Verbindungselemente für jeden der Eingangspuffer vorgesehen sind, verringert werden kann. Außerdem kann die Halbleitervorrichtung dadurch, daß Signale F1 und F2 in einer Testbetriebsart unter Verwendung eines Testers auf den H-Pegel oder L-Pegel gesetzt werden, um abwechselnd die Zustandssteuersignale EN1 bis EN3 auf einen aktiven Zustand anzusteuern, mit einem Eingangspuffer eines gewünschten Typs getestet werden, der in einen Betriebszustand eingestellt wird.

[0091] Außerdem wird angemerkt, daß die Eingangspuffer der drei verschiedenen Typen entsprechend einem Signaleingangsknoten angeordnet sind. Allerdings ist die Anzahl der entsprechend einem Signaleingangsknoten angeordneten Eingangspuffer nicht auf drei beschränkt, wobei lediglich die Anzahl der entsprechend einem Signaleingangsknoten angeordneten Eingangspuffer richtig bestimmen zu werden braucht.

[0092] Es wird angemerkt, daß folgende Konfiguration verwendet werden kann. Als Eingangspuffer werden zwei der in Fig. 5 gezeigten NOR-Eingangspuffer verwendet, wobei das Verhältnis der Schaltungen geändert wird. Als Eingangspuffer, deren Typ sich unterscheidet und die verschiedenen Schnittstellen entsprechen, werden Schaltungen verwendet, die die gleiche Schaltungskonfiguration besitzen, sich aber in bezug auf das Verhältnis oder in bezug auf ihre Eingangslogik-Schwellsenpannung unterscheiden. Genaue kann eine Konfiguration verwendet werden, in der die Verhältnisse der MOS-Transistoren in den NOR-Schaltungen gegeneinander ausgetauscht sind, um eine Eingangslogik-Schwellsenpannung jedes NOR-Eingangspuffers von dem der anderen verschieden zu machen. Beispielsweise werden ein Eingangspuffer für ein Eingangssignal auf einem TTL-Pegel und ein Eingangspuffer für ein Eingangssignal auf einem CMOS-Pegel von 1,8 V vorbereitet, wobei diese vorbereiteten Eingangspuffer gemäß den Zustandssteuersignalen wahlweise in einen Betriebszustand angesteuert werden. Durch die Verwendung dieser Eingangspuf-

fer kann ein gemeinsamer Chip für die Schnittstellen zu einem TTL-Signalpegel und zu einem CMOS-Signalpegel angepaßt werden.

[0093] Somit braucht ein Eingangspuffer eines anderen Typs unabhängig davon, ob eine Schaltungskonfiguration der Eingangspufferschaltung die gleiche ist, lediglich eine Schaltung zu sein, die einer anderen Schnittstelle entspricht.

[0094] Wenn die Eingangspuffer in einer taktsynchronen Halbleitervorrichtung verwendet werden, wird eine Auswahl an den Eingangspuffern getroffen, in die gemäß den Zustandssteuersignalen EN und ZEN ein externes Taktsteuersignal EXCKE eingegeben wird. In bezug auf einen CLK-Puffer, der einen externen Takt EXCLK empfängt, wird die Auswahl in Übereinstimmung mit einem Signal getroffen, das dadurch erhalten wird, daß eine Konjunktion (UND) eines Taktfreigabesignals und eines Zustandssteuersignals verwendet wird.

[0095] In bezug auf einen Eingangspuffer, der ein anderes Steuersignal und ein Adressensignal empfängt, wird die Auswahl in Übereinstimmung mit einem Signal getroffen, das dadurch erhalten wird, daß eine Konjunktion (UND) des internen Taktfreigabesignals INCKE und des Zustandssteuersignals EK genommen wird. Die Funktionen dieser wie obenbeschriebenen anderen Steuersignale werden später ausführlich geschildert, wobei diese Signale aber die Erzeugung eines internen Taktsignals zur Steuerung eines internen Zustands einer Halbleiterspeichervorrichtung steuern. Beispielsweise entspricht das interne Steuersignal INCITL dem internen Taktfreigabesignal INTCKE.

[0096] Wenn die Aktivierung/Deaktivierung der Eingangspuffer gemäß einem anderen internen Steuersignal ausgeführt wird, wird die Auswahl/Nichtauswahl eines Eingangspuffers oder ein Verwendungs/Nichtverwendungs-Zustand der Eingangspuffer durch ein Signal eingestellt, das dadurch erhalten wird, daß eine Logikoperation an einem entsprechenden internen Steuersignal und einem entsprechenden Zustandssteuersignal ausgeführt wird. Durch die Verwendung einer Logikoperation an einem internen Steuersignal und einem Zustandssteuersignal entsteht keine Notwendigkeit, Transistoren für das Einstellen der Verwendung/Nichtverwendung der Eingangspuffer vorzusehen, wodurch die Zunahme der Schaltungsbelegungsfläche verhindert werden kann.

[0097] Wie oben beschrieben wurde, wird gemäß der ersten Ausführungsform der Erfindung eine Konfiguration verwendet, bei der die Eingangspuffer mit jeweils mehreren Typen parallel vorgesehen sind, wobei durch ein Sicherungsprogramm ein Eingangspuffer mit einem Typ unter den Eingangspuffern der mehreren Typen ausgewählt wird. Somit kann ein Herstellungsprozeß vereinfacht werden, um eine Durchlaufzeit zu verringern und die Herstellungskosten zu senken.

Zweite Ausführungsform

[0098] Fig. 8 ist ein schematischer Stromlaufplan eines Beispiels der Konfiguration der Programmschaltung 2 gemäß einer zweiten Ausführungsform der Erfindung. Die Programmschaltung 2 in Fig. 8 enthält: einen N-Kanal-MOS-Transistor NR1, der zwischen eine Kontaktierungsanschlußfläche PD1 und einen Masseknoten geschaltet ist und dessen Gate mit einem Stromversorgungsknoten gekoppelt ist; und einen N-Kanal-MOS-Transistor, der zwischen eine Kontaktierungsanschlußfläche PD2 und einen Masseknoten geschaltet ist und dessen Gate an den Stromversorgungsknoten angeschlossen ist. Die MOS-Transistoren NR1 und NR2 dienen als Pull-down-Elemente, wobei ihre Ansteuerströme ausreichend klein und ihre Kanalwiderstandswerte

ausreichend groß gemacht werden.

[0099] Die Kontaktierungsanschlußflächen PD1 und PD2 werden über einen Kontaktierungsdraht wahlweise an den Stromversorgungsknoten angeschlossen, um die Signale F1 und F2 zu erzeugen. Die Signale F1 und F2 werden an die Gatterschaltungen GT1 bis GT3 der in Fig. 7 gezeigten Programmschaltung angelegt und decodiert, um eines der Zustandssteuersignale EN1 bis EN3 zu aktivieren.

[0100] Es wird angemerkt, daß dort, wo eine Kontaktierungsanschlußfläche über einen Kontaktierungsdraht an einen Stromversorgungsknoten angeschlossen ist, ein Leckstrom von dem Stromversorgungsknoten zu einem Masseknoten fließt. Um den Leckstrom zu verhindern, kann zu dem MOS-Transistor NR ein N-Kanal-MOS-Transistor in Serie geschaltet sein, dessen Gate ein Ausgangssignal eines Inverters empfängt, der ein Signal an der Kontaktierungsanschlußfläche PD invertiert. Wenn die Kontaktierungsanschlußfläche PD an den Stromversorgungsknoten angeschlossen ist, ist ein Ausgangssignal des Inverters auf dem L-Pegel und ist ein MOS-Transistor zum Abschneiden des Leckstroms im Sperrzustand, wodurch ein Leckstromweg zwischen der Kontaktierungsanschlußfläche PD und dem Masseknoten unterbrochen werden kann.

[0101] Wie in Fig. 8 gezeigt ist, kann durch wahlweises Einstellen eines Potentials einer Kontaktierungsanschlußfläche unter Verwendung eines Kontaktierungsdrahts ein Eingangspuffer eines gewünschten Typs selbst dann aktiviert werden, wenn die Eingangspuffer mit mehreren Typen vorgesehen sind.

[0102] Es wird angemerkt, daß die in Fig. 8 gezeigte Konfiguration, in der ein zu verwendender Eingangspuffer durch Einstellen eines Potentials einer Kontaktierungsanschlußfläche bestimmt wird, beispielhaft vorgesehen ist. Es kann eine andere Konfiguration verwendet werden. Beispielsweise kann eine Konfiguration verwendet werden, in der die Kontaktierungsanschlußfläche PD über einen Kontaktierungsdraht an den Masseknoten angeschlossen wird.

[0103] Wenn die Kontaktierungsanschlußflächen PD1 und PD2 verwendet werden, entsteht keine Notwendigkeit für einen Laserdurchschmelzschrift zum Programmieren der Verbindungselemente. Somit brauchen lediglich beim Gehäusemontageschritt Kontaktierungsdrähte geleitet zu werden, so daß die Signale F1 und F2 leicht erzeugt werden können, um einen Eingangspuffer eines gewünschten Typs in einen Betriebszustand zu setzen.

Dritte Ausführungsform

[0104] Fig. 9 ist ein schematischer Blockschaltplan einer Gesamtkonfiguration einer Halbleiterspeichervorrichtung gemäß einer dritten Ausführungsform der Erfindung. Die Eingangspuffergruppe 3 in Fig. 9 enthält: eine Steuerpufferschaltung 20, die ein externes Steuersignal (einen Befehl) EXCMD und die Zustandssteuerungs-Signalgruppe ENG von der Programmschaltung 2 empfängt; und eine Adressenpufferschaltung 232, die ein externes Adressensignal EXADD empfängt. Die Zustandssteuerungs-Signalgruppe ENG von der Programmschaltung 2 wird ebenfalls an die Adressenpufferschaltung 22 angelegt.

[0105] Ferner enthält die Halbleiterspeichervorrichtung eine Schaltung 30 zur Erzeugung eines internen Takts, die gemäß einem externen Taktsignal EXCLK ein internes Taktsignal INCLK erzeugt, wenn ein Freigabesignal EXCKE für den externen Takt aktiv ist. Wenn das Freigabesignal EXCKE für den externen Takt inaktiv wird, schließt die Schaltung 30 zur Erzeugung eines internen Takts einen Betrieb zum Erzeugen des internen Takts INCLK ab, womit ein Betrieb der internen Schaltungsanordnung 4 abgeschlossen

wird.

[0106] Die interne Schaltungsanordnung 4 enthält: eine Steuerschaltung 24, die synchron zu dem internen Taktsignal INCLK interne Signale von dem Steuerpuffer 20 und von dem Adressenpuffer 22 annimmt und gemäß dem angenommenen Signal ein internes Steuersignal erzeugt; eine Speicherschaltung, die gemäß der Steuerung der Steuerschaltung 24 arbeitet; und ein Betriebsartregister 28, das Daten (ein Signal) speichert, die eine Betriebsbedingung für die Halbleiterspeichervorrichtung spezifizieren.

[0107] Wenn ein Steuersignal von der Steuerpufferschaltung 20 und ein spezifisches Adressensignalbit von der Adressenpufferschaltung 22 (beispielsweise bei einem Anstieg des internen Taktsignals INCLK) in einer spezifischen Kombination von Logikzuständen sind und eine Betriebsartregister-einstell-Betriebsart spezifizieren, speichert die Steuerschaltung 24 ein spezifisches Adressensignalbit des Adressensignals von der Adressenpufferschaltung 22 oder ein spezifisches Eingangsdatenbit im Betriebsartregister 28.

[0108] In der dritten Ausführungsform wird das Betriebsartregister 28 verwendet, um ein Signal zu speichern, das einen Zustand eines CS-Trennungsbetriebsart-Anweisungssignals CSCUT zum Deaktivieren der Steuerpufferschaltung 20 und der Adressenpufferschaltung 22 spezifiziert, wenn ein Chipauswahlsignal CS inaktiv ist. Wenn das Chipauswahlsignal CS in einem aktiven Zustand auf dem H-Pegel ist, ist die Halbleiterspeichervorrichtung in einem aktiven Zustand, wobei sie ein externes Signal als gültig bestimmt und das externe Signal annimmt. Wenn das Chipauswahlsignal CS in einem inaktiven Zustand auf dem L-Pegel ist, ist die Halbleiterspeichervorrichtung in einem inaktiven Zustand, wobei sie sämtliche externen Signale vernachlässigt und keine neue interne Operation ausführt.

[0109] Das Chipauswahlsignal CS ist im externen Befehl EXCMD enthalten. Wenn ein komplementäres Chipauswahlsignal ZCS in einem inaktiven Zustand auf dem L-Pegel ist, wird spezifiziert, daß die Halbleiterspeichervorrichtung ausgewählt ist. Wenn das Chipauswahlsignal ZCS auf dem L-Pegel ist, bestimmt die Steuerschaltung 24, daß ein gültiger Befehl/ein gültiges Adressensignal angelegt wird, wobei sie gemäß dem Befehl verschiedene Operationen ausführt.

[0110] Die Speicherschaltung 26 enthält: mehrere Speicherzellen, die in Zeilen und Spalten angeordnet sind, und eine Speicherzellen-Auswahlschaltung zum Auswählen einer Speicherzelle. Eine Steuerschaltung 24 enthält eine Zwischenspeicherschaltung, die ein von der Steuerpufferschaltung 20 angelegtes internes Signal synchron zum internen Taktsignal INCLK annimmt und zwischenspeichert; einen Befehlsdecodierer zum Bestimmen einer gemäß dem zwischengespeicherten internen gesteuerten Signal spezifizierten Betriebsart; und einen Adressenzwischenspeicher zum Zwischenspeichern eines durch die Adressenpufferschaltung 22 gemäß einem Ergebnis der Bestimmung durch den Befehlsdecodierer ausgegebenen internen Adressensignals.

[0111] Fig. 10 ist ein Zeitablaufplan einer Operationsfolge zum Einstellen des CS-Trennungsbetriebsart-Anweisungssignals in dem in Fig. 9 gezeigten Betriebsartregister 28. Wie in Fig. 10 gezeigt ist, werden der externe Befehl EXCMD und das externe Adressensignal EXADD synchron zum externen Taktsignal EXCLK auf vorgeschriebene Zustände eingestellt. Der externe Befehl EXCMD umfaßt das Chipauswahlsignal ZCS und ein weiteres Steuersignal CTL. Wenn das Chipauswahlsignal ZCS auf dem L-Pegel ist, wird spezifiziert, daß ein gültiger Befehl angelegt ist. Wenn das Steuersignal CTL auf einen vorgeschriebenen Logikzustand eingestellt ist und wenn ferner ein vorgeschriebenes Bit KEY des externen Adressensignals EXADD auf einen vor-

geschriebenen Zustand eingestellt ist, wird ein Betriebsartregister-Einstellbefehl angelegt. Durch das spezifische Bit (KEY) des Adresssignals EXADD wird ein einzustellender Operationsinhalt bestimmt (eine Registerschaltung des Betriebsartregisters spezifiziert).

[0112] Wenn ein Betriebsartregister-Einstellbefehl MRS angelegt wird und eine Betriebsart zum Speichern eines CS-Trennungsbetriebsart-Anweisungssignals spezifiziert wird, wird das CS-Trennungsbetriebsart-Anweisungssignal CSCUT im Betriebsartregister 28 gemäß einem vorgeschriebenen externen Adressensignalbit oder einem Signal (Daten) an einem vorgeschriebenen Dateneingangsknoten auf den L-Pegel oder auf den H-Pegel eingestellt. Fig. 10 zeigt den Zustand, daß dann, wenn die CS-Trennungsbetriebsart spezifiziert ist und das CS-Trennungsbetriebsart-Anweisungssignal CSCUT auf den H-Pegel eingestellt ist, so daß das Chipauswahlsignal ZCS auf dem H-Pegel ist, die Steuerpufferschaltung 20 und die Adressenpufferschaltung 22 deaktiviert sind, so daß sie nicht betreibbar sind und die Stromflußwege in sie unterbrochen sind.

[0113] Somit ist die Halbleiterspeichervorrichtung, wenn das Chipauswahlsignal ZCS auf dem H-Pegel ist, in einem nichtausgewählten Zustand, wobei sie keine Anforderung für einen Zugriff annimmt. Somit ist in dieser Situation ein Stromweg in die Eingangspuffergruppe 3 abgeschaltet, wodurch ein Stromverbrauch gesenkt wird.

[0114] Fig. 11 ist ein schematischer Blockschaltplan einer Konfiguration eines Abschnitts mit Bezug auf die Erzeugung eines CS-Trennungsbetriebsart-Anweisungssignals in der in Fig. 9 gezeigten internen Schaltungsanordnung 4. Die Steuerschaltung 24 in Fig. 11 enthält einen Befehlsdecodierer 24a zum Decodieren eines internen Befehls INCMD von der in Fig. 9 gezeigten Steuerpufferschaltung 20 und eines internen Adressenschlüssels INKEY von der in Fig. 9 gezeigten Adressenpufferschaltung 22 synchron zum internen Taktsignal INCLK. Wenn der interne Befehl INCMD und der interne Adressenschlüssel INKEY beim Anstieg des internen Taktsignals INCLK auf vorgeschriebene Logikzustände eingestellt werden, bestimmt der Befehlsdecodierer 24a, daß unter den Betriebsartregistereinstell-Betriebsarten eine CS-Trennungsbetriebsart-Einstelloperation spezifiziert ist, wobei er ein Betriebsartregistereinstell-Betriebsartanweisungssignal MRSS aktiviert.

[0115] Das Betriebsartregister 28 enthält eine Registerschaltung 28a zum Speichern eines vorgeschriebenen Adressensignalbits INADk gemäß dem Betriebsartregistereinstell-Betriebsartanweisungssignal MRSS vom Befehlsdecodierer 24a zum Erzeugen eines CS-Trennungsbetriebsart-Anweisungssignals CSCUT. Somit wird, wenn eine Betriebsartregistereinstell-Betriebsart spezifiziert ist, ein spezifisches Adressensignalbit als CS-Trennungsbetriebsart-Anweisungssignal in der Registerschaltung 28a gespeichert.

[0116] Gemäß dem internen Befehl INCMD und dem internen Adressenschlüssel INKEY können gleichzeitig Daten angenommen werden, die die Spaltenlatenzzeit, die Bündellänge oder anderes spezifizieren. Dabei ist die Spaltenlatenzzeit die Anzahl der Taktzyklen, die zwischen dem Zyklus, in dem ein Lesebefehl angelegt wird, der das Datenlesen anweist, und dem Zyklus, in dem gültige Daten nach außen ausgegeben werden, erforderlich sind, während die Bündellänge die Anzahl der Datenbits angibt, auf die pro Datenanschluß aufeinanderfolgend zugegriffen wird, wenn ein Zugriffsbefehl angelegt wird.

[0117] Das CS-Trennungsbetriebsart-Anweisungssignal kann auch ausschließlich gemäß dem spezifischen internen Adressenschlüssel INKEY in einem Betriebsartregister-Einstellbefehl spezifiziert werden. Dies wird dadurch erreicht, daß eine Kombination des internen Adressenschlüssels IN-

KEY für die CS-Trennungsbetriebsart von der Kombination für die Betriebsart zur Spezifizierung der Spaltenlatenzzeit oder der Bündellängendaten oder dergleichen auf eine andere Kombination eingestellt wird.

[0118] Fig. 12 ist ein Stromlaufplan eines Beispiels der Konfiguration der in Fig. 11 gezeigten Registerschaltung. Die Registerschaltung 28a in Fig. 12 enthält: einen Dreizustands-Inverterpuffer 30, der ein spezifisches internes Adressensignalbit INADk gemäß dem Betriebsartregistereinstell-Betriebsartanweisungssignal MRSS und dem komplementären Betriebsartregistereinstell-Betriebsartanweisungssignal ZMRSS invertiert; eine NOR-Schaltung 31, die das Rücksetzsignal RST und ein Ausgangssignal des Dreizustands-Inverterpuffers 30 empfängt und das CS-Trennungsbetriebsart-Anweisungssignal CSCUT erzeugt; und einen Inverter 32, der das von der NOR-Schaltung 31 ausgegebene CS-Trennungsbetriebsart-Anweisungssignal CSCUT invertiert und das invertierte Signal an den Ausgang des Dreizustands-Inverterpuffers 30 sendet.

[0119] Das Rücksetzsignal RST ist ein Signal, das beim Rücksetzen oder Einschalten des Systems zu aktivieren ist. Somit wird das CS-Trennungsbetriebsart-Anweisungssignal CSCUT, wenn es zurückgesetzt wird, auf den L-Pegel eingestellt. Das CS-Trennungsbetriebsart-Anweisungssignal CSCUT wird deaktiviert, wenn es auf den L-Pegel eingestellt wird, wobei ein Eingangspuffer selbst dann gemäß einem externen Signal ein internes Signal erzeugt, wenn das Chipauswahlsignal ZCS in einem inaktiven Zustand ist. Somit wird die CS-Trennungsbetriebsart in einem Standardzustand in einen inaktiven Zustand eingestellt.

[0120] Wenn in der Betriebsartregistereinstell-Betriebsart das interne Adressensignalbit INADk auf den H-Pegel eingestellt wird, geht das CS-Trennungsbetriebsart-Anweisungssignal CSCUT auf den H-Pegel über, wobei, wenn das Chipauswahlsignal ZCS auf dem H-Pegel ist, die Stromflußwege in den Pufferschaltungen 20 und 22 unterbrochen sind. In diesem Fall arbeitet aber ein CS-Puffer, der ein externes Chipauswahlsignal EXZSC empfängt, normal, wobei er kein CS-Trennungsbetriebsart-Anweisungssignal CSCUT empfängt.

[0121] Es wird angemerkt, daß an die Registerschaltung anstelle des Adressensignalbits ein Signal an einem spezifischen Dateneingangsknoten angelegt werden kann.

[0122] Fig. 13 ist ein schematischer Blockschaltplan eines Beispiels einer spezifischen Konfiguration der in Fig. 9 gezeigten Steuerpufferschaltung 20 und der in Fig. 9 gezeigten Adressenpufferschaltung 22. Die Steuerpufferschaltung 20 in Fig. 13 enthält: einen CS-Puffer 35, der das externe Chipauswahlsignal EXZCS empfängt und das interne Chipauswahlsignal INCS erzeugt; ein Logikgatter 37, das das interne Chipauswahlsignal INCS, das Zustandssteuersignal ENi und das CS-Trennungsbetriebsart-Anweisungssignal CSCUT empfängt; und eine Pufferschaltung 40, die gemäß einem Ausgangssignal des Logikgatters 37 wahlweise auf einen Betriebszustand eingestellt wird, wobei sie gemäß dem externen Signal EXS das interne Signal INS erzeugt.

[0123] Der CS-Puffer 35 enthält Eingangspuffer mehrerer Typen, von denen einer durch die Zustandssteuerungs-Signalgruppe ENG in einen Betriebszustand eingestellt wird.

[0124] Die Pufferschaltung 40 enthält eine Eingangspufferschaltung von einem Typ unter den Eingangspuffern mehrerer Typen.

[0125] Das Logikgatter 37 besitzt gemäß einer Konfiguration eines Abschnitts zum Unterbrechen eines Stromwegs eine andere Konfiguration. Wenn das Zustandssteuersignal ENi, das einen Eingangspuffer eines Typs spezifiziert, und das CS-Trennungsbetriebsart-Anweisungssignal CSCUT beide in einem aktiven Zustand auf dem H-Pegel sind, un-

terbricht das Logikgatter 37 einen Stromweg der Pufferschaltung 40 und schließt somit eine Operation des Erzeugens des internen Signals IN ab, wenn das interne Chipauswahlsignal INCS in einem nichtausgewähltem Zustand auf dem L-Pegel ist. Wenn das Zustandssteuersignal ENi in einem inaktiven Zustand ist, stellt das Logikgatter 37 die Pufferschaltung 40 unabhängig von den Zuständen des internen Chipauswahlsignals INCS und des CS-Trennungsbetriebsart-Anweisungssignals CSCUT auf einen Nichtbetriebszustand ein (unterbricht es einen Betriebsstromflußweg).

[0126] Der CS-Puffer 35 ist eine Schaltung, die ein Grundsignal der CS-Trennungsbetriebsart erzeugt, wobei darin ein Eingangspuffer eines durch die Zustandssteuerungs-Signalgruppe ENG spezifizierten Typs auf einen Betriebszustand eingestellt wird, um gemäß dem externen Chipauswahlsignal EXZCS das interne Chipauswahlsignal INCS zu erzeugen.

[0127] Das durch die Pufferschaltung 40 erzeugte interne Signal INS ist entweder ein Adressensignalbit oder ein Eingangsdatenbit oder sind Steuersignale mit Ausnahme des Chipauswahlsignals INCS. In der Schaltung 30 zur Erzeugung eines internen Takts wird ein Eingangspuffer lediglich wahlweise gemäß der Zustandssteuerungs-Signalgruppe ENG, die nicht der Steuerung durch das Chipauswahlsignal unterliegt, auf einen Betriebszustand eingestellt. Dies liegt daran, daß auf einer Flanke eines Taktsignals bestimmt werden muß, wann das Chipauswahlsignal CS aktiviert oder deaktiviert wird, so daß die Schaltung 30 zum Erzeugen des internen Takts unabhängig von dem Chipauswahlsignal CS arbeiten muß. Der Betrieb zum Erzeugen eines internen Taktsignals in der Schaltung 30 zum Erzeugen des internen Takts wird durch das von außen zugeführte Taktfreigabesignal EXCKE gesteuert.

[0128] Fig. 14 ist ein Blockschaltplan eines Beispiels der Konfiguration der in Fig. 13 gezeigten Pufferschaltung 40 und des in Fig. 13 gezeigten Logikgatters 37. Der Puffer 40 in Fig. 14 enthält: einen Eingangspuffer 40a, der an einen Anschluß des externen Anschlußstifts (einen Signaleingangsknoten) angeschlossen ist und das externe Signal EXS empfängt und, wenn er arbeitet, ein internes Signal INA erzeugt; und einen Puffer 40b zur nächsten Stufe, der das durch die Pufferschaltung 40a ausgegebene interne Signal INA puffert und das interne Signal INS erzeugt. Der interne Puffer 40a ist an den Anschluß des externen Anschlußstifts (den Signaleingangsknoten) gekoppelt und erzeugt gemäß dem externen Signal EXS, wenn er arbeitet, mit hoher Geschwindigkeit ein internes Signal INSA. Somit wird dort, wo eine Stromsteuerfähigkeit des Eingangspuffers 40a größer als die des Puffers 40b zur nächsten Stufe ist, durch Unterbrechen eines Stromflußwegs des Puffers 40a der ersten Stufe gemäß einem Ausgangssignal des Logikgatters 37 ein Stromverbrauch gesenkt.

[0129] Das Logikgatter 37 enthält ein NAND/UND-Verbundgatter und äquivalent ein NAND-Gatter 37a, das das interne Chipauswahlsignal INCS und das CS-Trennungsbetriebsart-Anweisungssignal CSCUT empfängt, und ein UND-Gatter 37b, das ein Ausgangssignal des NAND-Gatters 37a und das Zustandssteuersignal ENi empfängt. Anstelle des in den Fig. 3 bis 5 gezeigten Zustandssteuersignals ENi wird ein Ausgangssignal des Logikgatters 37 angelegt. Dadurch wird ein Stromflußweg des Eingangspuffers 40a der ersten Stufe der Eingangsschaltung 40 unterbrochen, um einen Stromverbrauch zu senken.

[0130] Ein Stromverbrauch in einem Nichtzugriffszustand wird dadurch gesenkt, daß ein Stromweg des Eingangspuffers 40a der ersten Stufe unterbrochen wird, wenn das interne Chipauswahlsignal INS in der CS-Trennungsbetriebsart wie in Fig. 14 gezeigt inaktiv ist.

[0131] Wenn die CS-Trennungsbetriebsart nicht eingestellt ist, ist das CS-Trennungsbetriebsart-Anweisungssignal CSCUT auf dem L-Pegel, während ein Ausgangssignal des NAND-Gatters 37a auf dem H-Pegel ist. Somit wird ein Ausgangssignal des Logikgatters 37 gemäß dem Zustandssteuersignal ENi eingestellt. Wenn das Zustandssteuersignal ENi in einem aktiven Zustand ist, arbeitet der Eingangspuffer 40a normal. Wenn das Zustandssteuersignal ENi andererseits in einem inaktiven Zustand ist, wird ein Betriebsstrom-Flußweg des Eingangspuffers 40a unterbrochen, um seinen inaktiven Zustand jederzeit zu erhalten.

[0132] Es wird angemerkt, daß, wenn der in Fig. 14 gezeigte Eingangspuffer 40a wie in Fig. 5 gezeigt ein NOR-Eingangspuffer ist, ein PMOS-Transistor als Stromquelle in einen Sperrzustand eintritt, ein Betriebsstrom-Flußweg unterbrochen wird und sein Ausgangsknoten durch Entladen des N-Kanal-MOS-Transistors auf den L-Pegel festgesetzt wird. Somit wird auch in der Konfiguration des NOR-Puffers ein Stromweg, über den ein Betriebsstrom von einem Stromversorgungsknoten zu einem Masseknoten fließt, abgeschaltet.

Abwandlung

[0133] Fig. 15 ist ein Blockschaltplan eines Beispiels der Abwandlung des in Fig. 13 gezeigten Logikgatters 37 und der in Fig. 13 gezeigten Pufferschaltung 40. Die Pufferschaltung 40 in Fig. 15 enthält einen Eingangspuffer 40a, der gemäß dem Zustandssteuersignal ENi wahlweise in einen Betriebszustand gesetzt wird, wobei er, wenn er in einen Betriebszustand gesetzt ist, gemäß dem externen Signal EXS das interne Signal INA erzeugt; und einen Puffer 40c zur nächsten Stufe zum Puffern des vom Eingangspuffer 40a ausgegebenen internen Signals INA zum Erzeugen des internen Signals INS. Der Puffer 40c zur nächsten Stufe kann eine Verzögerungsfunktion zum Einstellen einer internen Zeitgebung besitzen.

[0134] Das Logikgatter 37 enthält ein NAND-Gatter 37c, das das interne Chipeinstell-Auswahlsignal INZCS und das CS-Trennungsbetriebsart-Anweisungssignal CSCUT empfängt und ein Ausgangssignal an den Puffer 40c zur nächsten Stufe ausgibt.

[0135] Das Logikgatter 37 legt das Zustandssteuersignal ENi an den Eingangspuffer 40a an, ohne daran eine Logikoperation auszuführen, während es aber eine Logikoperation an dem internen Chipauswahlsignal INZCS und an dem CS-Trennungsbetriebsart-Anweisungssignal CSCUT ausführt und das Operationsergebnis an den Puffer 40c zur nächsten Stufe anlegt. Der Eingangspuffer 40a besitzt eine der Konfigurationen der Fig. 3 bis 5.

[0136] Der Puffer 40c zur nächsten Stufe wird für die Ausführung der Schnittstellenanpassung nicht benötigt, wobei er das vom Eingangspuffer 40a angelegte interne Signal INA puffert, um für das interne Signal INA eine vorgeschriebene Verzögerungszeit zur Zeitgebungseinstellung zwischen den internen Signalen zu erzeugen. Der Puffer 40c zur nächsten Stufe besitzt allgemein die Konfiguration eines CMOS-Inverters, wobei sein Stromweg unterbrochen wird, wenn ein Ausgangssignal der NAND-Schaltung 37c auf dem L-Pegel ist. Somit besitzt der Puffer 40c zur nächsten Stufe eine ähnliche Konfiguration, wie sie in Fig. 3 gezeigt ist, wobei er anstelle des Zustandssteuersignals ENi ein Ausgangssignal der NAND-Schaltung 37c empfängt.

[0137] Wenn das CS-Trennungsbetriebsart-Anweisungssignal CSCUT auf dem L-Pegel ist, ist ein Ausgangssignal der NAND-Schaltung 37c auf dem H-Pegel, wobei der Puffer 40c zur nächsten Stufe gemäß dem internen Signal INA unabhängig vom Zustand des internen Chipauswahlsignals

INZCS das interne Signal INS erzeugt.

[0138] Wenn das CS-Trennungsbetriebsart-Anweisungssignal CSCUT auf dem H-Pegel ist, arbeitet die NAND-Schaltung 37c als Inverter. Wenn das interne Chipauswahlsignal INZCS in diesem Zustand auf den H-Pegel übergeht, gibt die NAND-Schaltung 37c ein Signal auf dem L-Pegel aus, das einen Betriebsstrom-Flußweg des Puffers 40c zur nächsten Stufe unterbricht.

[0139] Es wird angemerkt, daß lediglich der Betriebsstromweg einer Konfiguration des Puffers 40c zur nächsten Stufe unterbrochen werden muß. Beispielsweise ist ein Transistor zum Unterbrechen eines Stroms zwischen dem Stromversorgungsknoten und dem Masseknoten vorgesehen, wobei der Betriebsstromweg gemäß einem Ausgangssignal der NAND-Schaltung 37c durch Abschalten des Trenntransistors unterbrochen wird.

[0140] Alternativ kann für den Puffer zur nächsten Stufe eine Konfiguration verwendet werden, bei der, wenn ein Ausgangssignal der NAND-Schaltung 37c auf den L-Pegel geht, ein Betriebsstrom-Flußweg unterbrochen und das interne Signal INS auf einen vorgeschriebenen Spannungspiegel (einen Stromversorgungs-Spannungspiegel oder einen Masse-Spannungspiegel) eingestellt wird. Dies kann durch Unterbrechen eines Betriebsstrom-Flußwegs im Puffer 40c zur nächsten Stufe und durch Vorsehen eines Rücksetztransistors zum Einstellen des internen Signals INS auf den H-Pegel oder auf den L-Pegel erreicht werden.

[0141] Wenn der Puffer 40c zur nächsten Stufe eine Signalleitung mit großer Last mit hoher Geschwindigkeit ansteuern muß, wird seine Stromsteuerfähigkeit erhöht. Somit kann ein Stromverbrauch durch Unterbrechen eines Betriebsstrom-Flußwegs des Puffers 40c zur nächsten Stufe im Standby weiter gesenkt werden.

Zweite Abwandlung

[0142] Fig. 16 ist ein schematischer Blockschaltplan einer Konfiguration einer Eingangspufferschaltung gemäß einer zweiten Abwandlung der dritten Ausführungsform der Erfindung. In Fig. 16 wird einem CS-Puffer 45 und einer Pufferschaltung 50 kein Zustandssteuersignal EN zugeführt. Das heißt, die Konfigurationen des CS-Puffers 45 und der Pufferschaltung 50 werden im voraus fest bestimmt. Das interne Chipauswahlsignal INZCS vom CS-Puffer 45 und das CS-Trennungsbetriebsart-Auswahlsignal CSCUT werden an das Logikgatter 47 angelegt. Das Logikgatter 47 spezifiziert gemäß dem internen Chipauswahlsignal INZCS und dem CS-Trennungsbetriebsart-Anweisungssignal CSCUT einen Betriebszustand der Pufferschaltung 50. In der Pufferschaltung 50 wird ein Betriebsstrom-Flußweg des Puffers der ersten Stufe oder des Puffers zur nächsten Stufe, wie in den Fig. 14 und 15 gezeigt ist, wenn das interne Chipauswahlsignal INZCS auf dem H-Pegel eines inaktiven Zustands ist, gemäß einem Ausgangssignal der Logikschaltung 47 wahlweise unterbrochen. Das Logikgatter 47 besitzt eine ähnliche Konfiguration wie die in Fig. 15 gezeigte NAND-Schaltung 37c.

[0143] Selbst für eine Konfiguration, in der der Typ eines Eingangspuffers im voraus fest bestimmt ist, kann ein verbrauchter Strom in einer Betriebsart, die einen niedrigen verbrauchten Strom erfordert, wie etwa in einer Wartezeit in einer Anwendung mit niedrigem Stromverbrauch wie etwa in einem tragbaren Gerät durch Einstellen des CS-Trennungsbetriebsart-Anweisungssignals CSCUT in einer Registerschaltung eines Betriebsartregisters gesenkt werden, ohne die Eingangspuffer mehrerer Typen anzuordnen.

[0144] Mit einer Konfiguration, bei der die Verwendung oder Nichtverwendung der CS-Trennungsbetriebsart in dem

Betriebsartregister eingestellt wird, können mit der gleichen internen Konfiguration eine Halbleiterspeichervorrichtung mit der CS-Trennungsbetriebsart und eine Halbleiterspeichervorrichtung ohne die CS-Trennungsbetriebsart realisiert werden. Es besteht keine Notwendigkeit, gemäß den Anwendungen verschiedene Halbleitervorrichtungen herzustellen, wodurch mehrere Arten von Anwendungen mit der gleichen Chipkonfiguration versorgt werden können.

[0145] Wie oben beschrieben wurde, wird gemäß der dritten Ausführungsform der Erfindung eine Konfiguration verwendet, in der die CS-Trennungsbetriebsart unter Verwendung eines Betriebsartregisters wahlweise eingestellt wird, wodurch die Realisierung einer Halbleiterspeichervorrichtung ermöglicht wird, die mit derselben Chipkonfiguration entweder an eine Anwendung mit niedrigem Stromverbrauch oder an eine Anwendung mit Standardstromverbrauch anpaßbar ist. Außerdem kann dort, wo die CS-Trennungsbetriebsart verwendet wird, ein verbrauchter Strom in einem nichtausgewählten Zustand gesenkt werden.

Dritte Ausführungsform

[0146] Fig. 17 ist ein Blockschaltplan der Schaltung 30 zur Erzeugung eines internen Takts einer Halbleiterspeichervorrichtung gemäß einer vierten Ausführungsform der Erfindung. Die Schaltung 30 zur Erzeugung eines internen Takts in Fig. 17 enthält: einen CKE-Puffer 60, der ein externes Taktfreigabesignal EXCKE empfängt und gemäß dem Taktsteuersignal CLKE und dem Niederleistungsbetriebsart-Anweisungssignal SRFPWD ein internes Taktfreigabesignal INCKE erzeugt; einen CLK-Puffer 64, der das externe Taktsignal EXCLK empfängt und das interne Puffer-taktsignal CLKF erzeugt; und eine CKE-Rücksetzschaltung 62, die den CLK-Puffer 64 gemäß dem internen Taktfreigabesignal INCKE und dem Niederleistungsbetriebsart-Anweisungssignal SRFPWD in der Niederleistungsbetriebsart wahlweise deaktiviert.

[0147] Wenn entweder das Selbstaufrischbetriebsart-Anweisungssignal SRF oder das Ruhebetriebsart-Anweisungssignal PWD aktiviert wird, wird eine Zwischenspeicherschaltung 71 gesetzt und das Niederleistungsbetriebsart-Anweisungssignal SRFPMD aktiviert. Das von der Zwischenspeicherschaltung 71 ausgegebene Niederleistungsbetriebsart-Anweisungssignal SRFPWD wird an den CKE-Puffer 60 angelegt. Ein komplementäres Niederleistungsbetriebsart-Anweisungssignal ZSRFPWD wird über den Inverter 61 an die CKE-Rücksetzschaltung 62 angelegt. Wenn das externe Taktfreigabesignal EXTCKE steigt, wird die Zwischenspeicherschaltung 71 deaktiviert. Das heißt, das von der Zwischenspeicherschaltung 71 ausgegebene Niederleistungsbetriebsart-Anweisungssignal SRFPWD wird zum Steuern einer Pufferschaltung in einer Eingangsstufe verwendet. Wenn ein Niederleistungsbetriebsart-Austrittsanweisungssignal angelegt wird, schließt die interne Schaltungsanordnung ihren Betrieb in der Niederleistungsbetriebsart ab. Eine Takterzeugungsoption des CLK-Puffers 64 wird gemäß dem Taktaktivierungssignal ENCLK von der CKE-Rücksetzschaltung 62 gesteuert.

[0148] Der CLK-Puffer 64 ist eine monostabile Kipperschaltung, die als Antwort auf das externe Taktsignal EXCLK ein durch das gepufferte Taktsignal CLKF gepuffertes monostabiles Impulssignal erzeugt. Durch internes Erzeugen eines monostabilen Impulssignals wird ein internes Taktsignal mit einer vorgeschriebenen Impulsbreite erzeugt, das eine interne Operationszeitgebung ohne Einfluß auf Schwankungen in bezug auf die Impulsbreite des externen Taktsignals EXCLK stabilisiert.

[0149] Der CKE-Puffer 60 überträgt das externe Taktfrei-

gabesignal EXCKE gemäß dem Taktsteuersignal und erzeugt das interne Taktfreigabesignal INCKE. Genauer enthält der CKE-Taktpuffer 60 ein Transferelement, wobei er das externe Taktfreigabesignal EXCKE synchron zum Anstieg des Taktsteuersignals CLKE annimmt, während er das angenommene externe Taktfreigabesignal EXCKE synchron zum Fallen des Taktsteuersignals CLKE als internes Taktfreigabesignal INCKE ausgibt.

[0150] Wenn das Taktaktivierungssignal ENCLK (in der Niederleistungsbetriebsart) inaktiv ist, steuert die CKE-Rücksetzschaltung 62 das Taktaktivierungssignal ENCLK gemäß dem externen Taktfreigabesignal EXCKE und dem externen Taktsignal EXCLK von einem inaktiven Zustand auf einen aktiven Zustand an.

[0151] Ferner enthält die Schaltung 30 zur Erzeugung des internen Takts: eine Gatterschaltung 66, die das Puffertaktsignal CLKF vom CLK-Puffer 64 und das Niederleistungsbetriebsart-Anweisungssignal SRFPWD empfängt und das Taktsteuersignal CLKE erzeugt; und ein Puffertaktsignal CLKF und ein internes Taktfreigabesignal INCKE, die von der Gatterschaltung empfangen werden. Wenn das Niederleistungsbetriebsart-Anweisungssignal SRFPWD in einem inaktiven Zustand auf dem H-Pegel ist, setzt die Gatterschaltung 66 das Taktsteuersignal CLKE jederzeit auf den L-Pegel fest. Wenn das Niederleistungsbetriebsart-Anweisungssignal SRFPWD andererseits auf dem L-Pegel ist, erzeugt die Gatterschaltung 66 gemäß dem gepufferten Taktsignal CLKF vom CLK-Puffer 64 das Taktsteuersignal CLKE. Somit ist in der Niederleistungsbetriebsart das Taktsteuersignal CLKE in einem inaktiven Zustand, wobei eine Übertragungsoperation des CKE-Puffers 60 abgeschlossen ist und der CKE-Puffer 60 in einen Zwischenspeicherzustand eintritt. In der Niederleistungsbetriebsart ist der Betrieb des CKE-Puffers 60 abgeschlossen, um den Leistungsverbrauch zu senken. Wie später beschrieben wird, ist das interne Taktfreigabesignal INCKE in der Niederleistungsbetriebsart gemäß dem externen Taktfreigabesignal EXCKE auf den L-Pegel festgesetzt.

[0152] Die Gatterschaltung 68 ist eine UND-Schaltung, die gemäß dem gepufferten Taktsignal CLKF das interne Taktsignal INCLK erzeugt, wenn das interne Taktfreigabesignal INCKE auf dem H-Pegel ist, während sie das interne Taktsignal INCLK auf den L-Pegel festsetzt, wenn das interne Taktfreigabesignal INCKE auf dem L-Pegel ist.

[0153] Die in Fig. 9 gezeigte Steuerschaltung 24 enthält: eine Zwischenspeicherschaltung 70 zum Zwischenspeichern eines internen Steuersignals von der Steuerpufferschaltung 20 synchron zum internen Taktsignal INCLK; einen Befehlsdecodierer 72 zum Decodieren des über die Zwischenspeicherschaltung 70 angelegten internen Steuersignals gemäß dem internen Taktsignal INCLK; und die ODER-Schaltung 74 zum Erzeugen eines Niederleistungsbetriebsart-Aktivierungssignals gemäß dem Selbstaufrischbetriebsart-Anweisungssignal SRF vom Befehlsdecodierer 72 und dem Niederleistungsbetriebsart-Anweisungssignal PWD. Zum Steuern des Betriebs der Eingangspuffer-Schaltungsanordnung wird wie oben beschrieben ein Ausgangssignal der ODER-Schaltung 74 verwendet.

[0154] Wenn das interne Taktfreigabesignal INCKE in einem aktiven Zustand ist, führt der Befehlsdecodierer 72 gemäß dem internen Taktsignal INCLK eine Decodierungsoperation aus, während verboten wird, daß er eine Decodierungsoperation ausführt, wenn das interne Taktfreigabesignal INCKE in einem inaktiven Zustand ist. In diesem Fall kann eine Konfiguration verwendet werden, in der eine Schaltung in einer Eingangsstufe des Befehlsdecodierers 72 in einen inaktiven Zustand angesteuert wird und ihr Stromflußweg ausgeschaltet wird.

[0155] Das Selbstaufrischbetriebsart-Anweisungssignal SRF wird aktiviert, wenn eine Betriebsart spezifiziert ist, in der intern lediglich das Datenhalten ausgeführt wird, wobei die gespeicherten Daten in den Speicherzellen gemäß der Steuerung einer nicht gezeigten Auffrischsteuerschaltung mit einer vorgegebenen Periode intern aufgefrischt werden, wenn das Selbstaufrischbetriebsart-Anweisungssignal SRF aktiviert ist.

[0156] Das Niederleistungsbetriebsart-Anweisungssignal PWD aktiviert die Betriebsart der Halbleiterspeichervorrichtung in einer Betriebsart mit niedrigem Leistungsverbrauch, so daß die Leistungszufuhr zu einer vorgegebenen internen Schaltung abgeschlossen wird. In der Ruhebetriebsart wird keine Auffrischoperation ausgeführt.

[0157] Das Niederleistungsbetriebsart-Anweisungssignal PWD wird gesetzt, wenn der Standby-Zustand während einer langen Zeitdauer fortgesetzt wird, um den Leistungsverbrauch zu senken. Das Selbstaufrischbetriebsart-Anweisungssignal SRF wird in der Schlafbetriebsart oder dergleichen aktiviert, in der während einer verhältnismäßig langen Zeitdauer kein Zugriff auf die Halbleiterspeichervorrichtung vorgenommen wird. Wenn entweder das Selbstaufrischbetriebsart-Anweisungssignal SRF oder das Ruhebetriebsart-Anweisungssignal PWD aktiviert ist, wird die Zwischenspeicherschaltung 71 als Antwort auf ein Ausgangssignal der ODER-Schaltung 74 gesetzt, um das Niederleistungsbetriebsart-Anweisungssignal SRFPWD zu aktivieren.

[0158] Obgleich die Konfigurationen einer Selbstaufrischsteuerschaltung und einer internen Stromversorgungsschaltung in Fig. 17 nicht gezeigt sind, werden das Selbstaufrischbetriebsart-Anweisungssignal SRF und das Ruhebetriebsart-Anweisungssignal PWD an die Selbstaufrischsteuerschaltung bzw. an die interne Stromversorgungs-Steuerschaltung angelegt. In der Ruhebetriebsart wird den Schaltungen wie etwa einem Befehlsdecodierer und einem Takteingangspuffer eine Stromversorgungsspannung zugeführt. Dies liegt daran, daß ein von außen zugeführtes Betriebsartanweisungssignal jederzeit zu überwachen ist. Wie unten ausführlich geschildert wird, wird aber an der Steuerpufferschaltung 20 und an der Adressenpufferschaltung 22 in der Niederleistungsbetriebsart eine Stromversorgungssteuerung ausgeführt, die die Zufuhr der Stromversorgungsspannung unterbricht.

[0159] Die Steuerpufferschaltung 20 und die Adressenpufferschaltung 22 besitzen ähnliche Konfigurationen wie die in Fig. 9 gezeigten Schaltungen, wobei ihre Betriebsstromwege gemäß der Zustandssteuerungs-Signalgruppe ENG, dem CS-Trennungsbetriebsart-Anweisungssignal CSCUT und dem internen Chipauswahlsignal INZCS unterbrochen werden.

[0160] Obgleich dies in Fig. 17 nicht deutlich gezeigt ist, wird angemerkt, daß im CLK-Puffer 64 Takteingangspuffer mehrerer Typen vorgesehen sind, wobei ein Takteingangspuffer gemäß der Zustandssteuerungs-Signalgruppe ENG in einen Betriebszustand angesteuert wird. Für die Stromversorgungssteuerung an dem Taktpuffer wird ein Ergebnis einer Logikoperation (UND) an dem Taktaktivierungssignal ENCLK und an dem Zustandssteuersignal ENi verwendet.

[0161] Außerdem sind in der vierten Ausführungsform die Betriebsstrom-Flußwege der Steuerpufferschaltung 20 und der Adressenpufferschaltung 22 unterbrochen, wenn das interne Taktfreigabesignal INCKE in einem inaktiven Zustand ist. In den in den Fig. 14 und 15 gezeigten Konfigurationen wird anstelle des Zustandssteuersignals ENi ein Signal angelegt, das dadurch erhalten wird, daß an dem internen Taktfreigabesignal INCKE und an dem Zustandssteuersignal ENi eine UND-Operation ausgeführt wird. Außerdem kann die Konfiguration zum Unterbrechen eines Betriebsstrom-

Flußwegs eines Eingangspuffers, wenn das interne Taktfreigabesignal INCKE in einem inaktiven Zustand ist, in einem CS-Puffer, der ein internes Chipfreigabesignal INZCS erzeugt, vorgesehen sein.

[0162] Wenn das Niederleistungsbetriebsart-Anweisungssignal SRFPWD aktiviert wird, wird das interne Taktfreigabesignal INCKE deaktiviert, um die Betriebsstromwege der Steuerpufferschaltung 20 und der Adressenpufferschaltung 22 zu unterbrechen und dadurch eine stärkere Senkung des verbrauchten Stroms in der Betriebsart mit niedrigem Leistungsverbrauch zu ermöglichen. Außerdem wird ein Betriebsstromweg einer internen Schaltung des CLK-Puffers 64 gemäß dem Taktaktivierungssignal ENCLK durch die CKE-Rücksetzschaltung 62 deaktiviert, wenn das interne Taktfreigabesignal INCKE inaktiv ist. Der Stromverbrauch im CLK-Puffer 64, der das interne Taktsignal an verschiedene interne Schaltungen mit verhältnismäßig großer Stromsteuerfähigkeit überträgt, kann gesenkt werden und der Stromverbrauch als Ganzes noch stärker gesenkt werden. Insbesondere ist ein Ansteuerstrom in dem CLK-Puffer 64, da er das Puffertaktsignal CLKF gemäß einem Hochgeschwindigkeits-Taktsignal mit steiler Signalform erzeugen muß, verhältnismäßig groß. Somit kann durch Deaktivieren des CLK-Puffers 64 zum Unterbrechen seines Betriebsstromwegs in der Niederleistungsbetriebsart ein Stromverbrauch wirksam gesenkt werden.

[0163] Fig. 18 ist ein Zeitablaufplan einer Operation des in Fig. 17 schematisch gezeigten CKE-Puffers 60. Mit Bezug auf den in Fig. 18 gezeigten Zeitablaufplan wird unten die Beschreibung des Betriebs des in Fig. 17 gezeigten CKE-Puffers 60 gegeben. In Fig. 18 überträgt der CKE-Puffer 60 das externe Taktfreigabesignal EXCKE gemäß dem Taktsteuersignal CLKE von der Gatterschaltung 66. Wenn das externe Taktfreigabesignal EXCKE auf den L-Pegel fällt, fällt im nächsten Taktzyklus das interne Taktfreigabesignal INCKE auf den L-Pegel.

[0164] Wenn das Taktsteuersignal CLKE in dem CKE-Puffer 60 auf den H-Pegel übergeht, erreicht ein Zwischenspeicher/Transferrgatter in der ersten Stufe einen Zwischenspeicherzustand, während ein Zwischenspeicher/Transferrgatter in der Ausgangsstufe das zwischengespeicherte Signal ausgibt, wenn das Taktsteuersignal CLKE auf den L-Pegel übergeht. Der CKE-Puffer 60 enthält beispielsweise: ein Transferrgatter der ersten Stufe oder einen getakteten Puffer, der als Antwort auf einen Anstieg des Taktsteuersignals CLKE nichtleitend gemacht wird; eine Zwischenspeicherschaltung, die ein Ausgangssignal des ersten Transferrgatters oder des getakteten Puffers zwischenspeichert; und ein Transferrgatter der Ausgangsstufe oder einen getakteten Puffer, der das zwischengespeicherte Signal der Zwischenspeicherschaltung synchron zum Fallen des Taktsteuersignals CLKE überträgt.

[0165] Somit ist der CKE-Puffer 60, wie in Fig. 18 gezeigt ist, selbst dann, wenn das externe Taktfreigabesignal EXCKE auf den L-Pegel fällt, wenn das Taktsteuersignal CLKE auf dem H-Pegel ist, in einem Zwischenspeicherzustand, wobei das interne Taktfreigabesignal INCKE in diesem Zyklus den H-Pegel erhält.

[0166] Wenn das externe Taktfreigabesignal EXCKE auf dem L-Pegel ist, überträgt der CKE-Puffer 60 auch im nächsten Zyklus das externe Taktfreigabesignal EXCKE auf dem L-Pegel gemäß dem Taktsteuersignal CLKE, so daß das interne Taktfreigabesignal INCKE synchron zum Fallen des Taktsteuersignals CLKE auf den L-Pegel fällt.

[0167] Wenn das externe Taktfreigabesignal EXCKE vor dem Steigen des Taktsteuersignals CLKE auf den H-Pegel eingestellt ist, überträgt der CKE-Puffer 60 das externe Taktfreigabesignal EXCKE gemäß dem Taktsteuersignal

CLKE, wobei er das interne Taktfreigabesignal INCKE erzeugt. Somit steigt das interne Taktfreigabesignal INCKE in diesem Taktzyklus auf den H-Pegel.

[0168] Das externe Taktfreigabesignal EXCKE ist ein Signal, das zu dem externen Taktsignal EXCLK asynchron ist. Wie in Fig. 17 gezeigt ist, ist das Taktsteuersignal CLKE ein Signal, das zu dem externen Taktsignal EXCLK synchron ist. Somit muß das externe Taktfreigabesignal EXCKE in einem vorausgehenden Taktzyklus vom H-Pegel auf den L-Pegel fallen, wenn die Selbstaufrischbetriebsart spezifiziert ist. Somit ist das externe Taktfreigabesignal EXCKE beim Anwenden eines Selbstaufrischbefehls (eines SRF-Befehls) beim Anstieg des Taktsteuersignals CLKE auf dem L-Pegel, wobei das interne Taktfreigabesignal INCKE synchron zum Fallen des Taktsteuersignals CLKE in diesem Taktzyklus auf den L-Pegel übergeht.

[0169] Somit geht das interne Taktfreigabesignal INCKE, wenn ein Selbstaufrischbefehl und ein externes Taktfreigabesignal EXCKE angelegt werden, die einer Einstellzeit und einer Haltezeit vollständig genügen, in einem Taktzyklus, in dem der Selbstaufrischbefehl angelegt wird, auf den L-Pegel über, wobei die in Fig. 17 gezeigten Pufferschaltungen 20 und 22 in einen inaktiven Zustand angesteuert werden. Die Annahme eines Befehls nach Anwendung des Selbstaufrischbefehls wird abgeschlossen, bis das interne Taktfreigabesignal INCKE auf den H-Pegel eingestellt ist. Das Einstellen des internen Taktfreigabesignals INCKE bei Abschluß der Niederleistungsbetriebsart wird durch Rückstellen der Zwischenspeicherschaltung 71 gemäß dem externen Taktfreigabesignal EXCKE ausgeführt, um das Niederleistungsbetriebsart-Anweisungssignal SRFPWD wie in Fig. 17 gezeigt zu deaktivieren.

[0170] Wenn das interne Taktfreigabesignal INCKE aktiviert ist, arbeiten die Pufferschaltungen 20 und 22 in der Weise, daß sie externe Signale annehmen und interne Signale erzeugen. Somit kann eine interne Schaltung durch Anlegen des Niederleistungsbetriebsart-Abschlußanweisungsbefehls in einen Normalzustand wiederhergestellt werden.

[0171] Fig. 19A ist ein Zeitablaufplan, der eine zeitliche Beziehung zwischen dem externen Taktsignal EXCLK und dem externen Taktfreigabesignal EXCKE genauer zeigt. Wie in Fig. 19A gezeigt ist, wird das Taktsteuersignal CLKE als monostabiles Impulssignal erzeugt, das zu dem externen Taktsignal EXCLK synchron ist. Das interne Taktfreigabesignal INCKE wird synchron zu dem Taktsteuersignal CLKE erzeugt, während das Taktaktivierungssignal ENCLK von der CKE-Rücksetzschaltung 62 gemäß dem internen Taktfreigabesignal INCKE, dem externen Taktfreigabesignal EXCKE und dem externen Taktsignal EXCLK erzeugt wird.

[0172] In der Normalbetriebsart oder wenn das Niederleistungsbetriebsart-Anweisungssignal SRFPWD auf dem L-Pegel ist, wird das Taktsteuersignal CLKE gemäß dem externen Taktsignal EXCLK erzeugt. Wenn das interne Taktfreigabesignal INCKE gemäß dem Fallen des externen Taktfreigabesignals EXCKE auf dem L-Pegel fällt, fällt als Antwort das Taktsteuersignal ENCKE auf den L-Pegel. Wenn allerdings das externe Taktfreigabesignal EXCKE vor einem Anstieg des nächsten externen Taktsignals EXCLK auf den H-Pegel angehoben wird, steigt das Taktaktivierungssignal ENCLK als Antwort auf das Steigen des nächsten externen Taktsignals EXCLK auf den H-Pegel, wobei in diesem Zyklus das Taktsteuersignal CLKE erzeugt wird, das die Annahme eines externen Signals zuläßt.

[0173] Somit wird das Taktaktivierungssignal ENCLK selbst dann als Antwort auf einen Anstieg des externen Taktsignals EXCLK auf den H-Pegel wiederhergestellt, wenn

das interne Taktfreigabesignal INCKE auf den L-Pegel fällt, so daß die CLK-Pufferschaltung 64 selbst dann eine Operation zur Annahme eines externen Taktsignals ausführt, wenn das externe Taktfreigabesignal EXCKE während eines Taktzyklus auf den L-Pegel abgesenkt wird. Da das interne Taktsignal INCLK, wenn das interne Taktfreigabesignal INCKE auf dem H-Pegel ist, gemäß dem gepufferten Taktfreigabesignal CLKF erzeugt wird, wird aber in einem Zyklus, in dem das interne Taktfreigabesignal CLKE auf den L-Pegel übergeht, kein internes Taktsignal INCLK erzeugt.

[0174] Wenn das externe Taktfreigabesignal EXCKE auf den L-Pegel eingestellt ist, während das externe Taktsignal EXCLK auf den H-Pegel eingestellt ist, fällt das interne Taktsignal INCKE im nächsten Zyklus auf den L-Pegel. Allerdings ist das externe Taktfreigabesignal EXCKE zu diesem Zeitpunkt selbst dann auf dem H-Pegel, wobei das Taktaktivierungssignal ENCLK den H-Pegel erhält, wenn das interne Taktfreigabesignal INCKE auf den L-Pegel übergeht. Somit wird, wenn das externe Taktfreigabesignal EXCKE während einer Dauer eines Taktzyklus auf den L-Pegel eingestellt ist, das Taktsteuersignal CLKE jedesmal synchron zu dem externen Taktsignal EXCLK erzeugt.

[0175] Allerdings wird auch in diesem Fall kein internes Taktsignal INCLK erzeugt, wenn das interne Taktfreigabesignal INCKE auf den L-Pegel übergeht. Mit anderen Worten, das interne Taktfreigabesignal INCKE wird gemäß dem externen Taktfreigabesignal EXCKE synchron zu dem Taktsteuersignal CLKE erzeugt. Somit wird das interne Taktsignal INCLK im nächsten Taktzyklus nicht erzeugt, wenn das interne Taktfreigabesignal INCKE auf den L-Pegel fällt, wobei eine interne Operation abgeschlossen wird und eine interne Schaltung den Zustand in dem vorausgehenden Taktzyklus erhält.

[0176] Wie oben beschrieben wurde, unterscheidet sich ein Zyklus, in dem das interne Taktfreigabesignal INCKE deaktiviert ist, gemäß einer Einstellzeit/einer Haltezeit des externen Taktfreigabesignals EXCKE für das Taktsteuersignal CLKE oder für das externe Taktsignal EXCLK. Aus diesem Grund muß bei Anwendung eines Selbstauffrischbefehls das externe Taktfreigabesignal EXCKE in einem vorausgehenden Zyklus vom H-Pegel auf den L-Pegel abgesenkt werden. Somit wird bei Anwendung des Selbstauffrischbefehls das interne Taktfreigabesignal INCKE als Antwort auf das Fallen des Taktsteuersignals CLKE in einem Zyklus, in dem der Selbstauffrischbefehl angelegt wird, deaktiviert. In dem Zyklus, in dem der Selbstauffrischbefehl angelegt wird, ist das interne Taktsignal INCLK erzeugt worden, wobei eine interne Schaltung gemäß dem Selbstauffrischbefehl richtig arbeiten kann.

[0177] Mit Bezug auf Fig. 19B wird nun eine Beschreibung der Operation zum Abschluß der Erzeugung des Taktsteuersignals CLKE gemäß dem externen Taktfreigabesignal EXCKE beschrieben. Zunächst wird das externe Taktfreigabesignal EXCKE vor einem Anstieg des externen Taktsignals EXCLK auf den L-Pegel abgesenkt. Das interne Taktfreigabesignal INCKE fällt als Antwort auf das Fallen des Taktsteuersignals CLKE auf den L-Pegel. Da das externe Taktfreigabesignal EXCKE und das interne Taktfreigabesignal INCKE auf dem L-Pegel sind, fällt das Taktaktivierungssignal ENCLK auf den L-Pegel. Wenn das externe Taktfreigabesignal EXCKE auch im nächsten Zyklus auf dem L-Pegel gehalten wird, erhält das Taktaktivierungssignal ENCLK den L-Pegel, wobei die Erzeugung des Taktsteuersignals INKE abgeschlossen wird und das interne Taktfreigabesignal INCKE auch in diesem nächsten Zyklus den L-Pegel erhält.

[0178] Wenn das externe Taktfreigabesignal EXCKE vor einem Anstieg des externen Taktsignals EXCLK auf den H-

Pegel angehoben wird, steigt das Taktaktivierungssignal ENCLK als Antwort auf den Anstieg des externen Taktsignals EXCLK auf den H-Pegel. Im nächsten Taktzyklus wird das Taktsteuersignal CLKE erzeugt, wobei das interne Taktfreigabesignal INCKE als Antwort auf das Fallen des Taktsteuersignals CLKE auf den H-Pegel steigt.

[0179] Somit kann die Erzeugung des Taktsteuersignals CLKE im zweiten Taktzyklus nach einem Fallen des externen Taktfreigabesignals EXCKE auf den L-Pegel abgeschlossen werden, wenn das externe Taktfreigabesignal EXCKE während einer 2-Takte-Zyklusdauer auf dem L-Pegel gehalten wird. Somit kann die Erzeugung des internen Taktsignals INCLK in dem zweiten Taktzyklus gemäß dem internen Taktfreigabesignal INCKE abgeschlossen werden.

[0180] Falls das externe Taktfreigabesignal EXCKE auf den L-Pegel fällt, wenn das externe Taktsignal EXCLK auf dem H-Pegel ist, wird das Taktsteuersignal CLKE in diesem Zyklus erzeugt, wobei das interne Taktfreigabesignal INCKE und das Taktaktivierungssignal ENCLK beide auf dem H-Pegel sind.

[0181] Wenn im nächsten Taktzyklus das externe Taktfreigabesignal EXCKE auf dem L-Pegel gehalten wird, fallen das interne Taktfreigabesignal INCKE und das Taktaktivierungssignal ENCLK als Antwort auf ein Fallen des Taktsteuersignals CLKE in dem gleichen nächsten Zyklus auf den L-Pegel. Genauer ändert sich, wenn das externe Taktsignal EXCLK und das Taktsteuersignal CLKE erzeugt werden, kein Zustand eines internen Signals, falls das externe Taktfreigabesignal EXCKE keine ausreichende Haltezeit in bezug auf das Taktsteuersignal CLKE besitzt, wenn das Taktsteuersignal CLKE erzeugt wird.

[0182] In diesem Taktzyklus nimmt der Takteingangspuffer somit das externe Taktsignal an und erzeugt er das gepufferte Taktsignal CLKF. Außerdem wird in gleicher Weise das interne Taktsignal INCLK erzeugt.

[0183] Falls das externe Taktfreigabesignal EXCKE auf den H-Pegel steigt, wenn das externe Taktsignal EXCLK auf dem H-Pegel ist, steigt das Taktaktivierungssignal ENCLK als Antwort auf einen Anstieg des externen Taktsignals EXCLK auf den H-Pegel. Somit ist in diesem Zyklus das Taktaktivierungssignal ENCLK auf dem L-Pegel, wobei das Taktsteuersignal CLKE nicht erzeugt wird. Somit schließt der CLK-Puffer 64 seinen Betrieb ab.

[0184] Im nächsten Zyklus ist das Taktaktivierungssignal ENCLK auf dem H-Pegel, wobei das Taktsteuersignal CLKE gemäß dem Puffertaktsignal CLKF vom CLK-Puffer 64 erzeugt wird und das interne Taktfreigabesignal INCKE als Antwort auf ein Fallen des Taktsteuersignals CLKE durch den CKE-Puffer 60 auf den H-Pegel angehoben wird.

[0185] Mit anderen Worten, wenn das externe Taktfreigabesignal EXCKE während einer Zeitdauer von zwei Taktzyklen auf dem L-Pegel gehalten wird, kann das Taktsteuersignal CLKE intern auf den L-Pegel eingestellt werden, um die Annahme des externen Taktsignals EXCLK zu verhindern und die Erzeugung des internen Taktsignals INCLK abzuschließen.

[0186] Somit kann die Erzeugung des internen Taktfreigabesignals INCKE unabhängig von einer zeitlichen Beziehung zwischen dem externen Taktfreigabesignal ENCKE und dem externen Taktsignal EXCLK gemäß dem Taktaktivierungssignal ENCLK in dem dritten Taktzyklus, nachdem das externe Taktfreigabesignal ENCKE auf den L-Pegel abgesenkt wird, abgeschlossen werden.

[0187] Somit muß das externe Taktfreigabesignal EXCKE zum Deaktivieren des internen Taktfreigabesignals INCKE während einer Zeitdauer von zwei Taktzyklen auf dem L-Pegel gehalten werden. Somit erreicht das interne Taktfreigabesignal INCKE beim Einstellen eines Zustands des inter-

nen Taktfreigabesignals INCKE gemäß dem externen Taktsignal EXCLK, falls das externe Taktfreigabesignal EXCKE während einer Zeitdauer von drei Taktzyklen auf dem L-Pegel gehalten wird, im dritten und im darauffolgenden Taktzyklus den Zustand, der einem Zustand des externen Taktfreigabesignals EXCKE entspricht.

[0188] Es wird angemerkt, daß, wenn das interne Taktfreigabesignal INCKE auf den L-Pegel fällt, die Erzeugung des internen Taktsignals INCLK gemäß dem internen Taktfreigabesignal INCKE im nächsten Taktzyklus abgeschlossen wird.

[0189] Somit wird das interne Taktfreigabesignal INCKE, wenn das externe Taktfreigabesignal EXCKE während einer Zeitdauer einer vorgeschriebenen Anzahl von Taktzyklen auf dem L-Pegel gehalten wird, auf den L-Pegel festgesetzt, um die Stromwege der in Fig. 17 gezeigten Steuerpufferschaltung 20 und der in Fig. 17 gezeigten Adressenpufferschaltung 22 zu unterbrechen, wobei die interne Schaltungsanordnung den Betrieb abschließt oder in einem unentschiedenen Zustand gehalten wird. In einer Zeitdauer, in der keine neue Operation ausgeführt wird und in der kein externes Signal angenommen zu werden braucht, ist die Stromversorgung der Puffer, die externe Signale annehmen, unterbrochen, um den Leistungsverbrauch oder den Stromverbrauch auch in einer Normalbetriebsart zu senken.

[0190] Fig. 20 ist ein Stromlaufplan eines Beispiels der Konfiguration der in Fig. 17 gezeigten CKE-Rücksetzschaltung 62. Die CKE-Rücksetzschaltung 62 in Fig. 20 enthält: einen Inverter 62a, der das Taktaktivierungssignal ENCLK empfängt; eine NAND-Schaltung 62b, die ein Ausgangssignal des Inverters 62a, das externe Taktsignal EXCLK und das komplementäre Niederleistungsbetriebsart-Anweisungssignal ZSRFPWD empfängt; eine NAND-Schaltung 62c, die ein Ausgangssignal der NAND-Schaltung 62b, das komplementäre Niederleistungsbetriebsart-Anweisungssignal ZSRFPWD und das externe Taktfreigabesignal EXCKE empfängt; einen Inverter 62d, der das interne Taktfreigabesignal INCKE empfängt; ein Setz/Rücksetz-Flipflop 62e, das als Antwort auf ein Fallen eines Ausgangssignals des Inverters 62d zurückgesetzt und als Antwort auf ein Ausgangssignal der NAND-Schaltung 62c oder auf ein Einschalt-Rücksetzsignal PORB gesetzt wird; einen Inverter 62f, der ein Ausgangssignal des Setz/Rücksetz-Flipflops 62e empfängt; einen Inverter 62g, der das komplementäre Niederleistungsbetriebsart-Anweisungssignal ZSRFPWD empfängt; eine NAND-Schaltung 62h, die das Taktaktivierungssignal ENCLK und das interne Taktfreigabesignal INCKE empfängt; und das Verbundgatter 62i, das gemäß einem Ausgangssignal ϕC des Inverters 62g, einem Ausgangssignal ϕA des Inverters 62f und einem Ausgangssignal ϕB der NAND-Schaltung 62h das Taktaktivierungssignal ENCLK erzeugt.

[0191] Das Flipflop 62e enthält ein NAND-Gatter 81, dessen erster Eingang ein Ausgangssignal des Inverters 62d empfängt, und ein Dreieingangs-NAND-Gatter 82c, das ein Ausgangssignal des NAND-Gatters 81, ein Ausgangssignal der NAND-Schaltung 62c und das Einschalt-Rücksetzsignal PORB empfängt. Ein Ausgangssignal des NAND-Gatters 82 wird an den Inverter 62f angelegt.

[0192] Das Verbundgatter 62i enthält äquivalent ein NAND-Gatter 83, das das Ausgangssignal ϕA des Inverters 62f und das Ausgangssignal ϕB der NAND-Schaltung 62h empfängt, und ein Gatter 84, das ein Ausgangssignal des NAND-Gatters 83 und ein Ausgangssignal ϕC des Inverters 62g empfängt und das Taktaktivierungssignal ENCLK erzeugt. Das Gatter 84 gibt ein Signal auf dem H-Pegel aus, wenn das Ausgangssignal ϕC des Inverters 62g auf dem H-Pegel ist und ein Ausgangssignal des NAND-Gatters 83 auf

dem H-Pegel ist. Das Taktaktivierungssignal ENCLK wird von dem Gatter 84 ausgegeben.

[0193] In der in Fig. 20 gezeigten Konfiguration der CKE-Rücksetzschaltung 62 ist das Ausgangssignal ϕC des Inverters 62g in der Normalbetriebsart oder wenn das Niederleistungsbetriebsart-Anweisungssignal SRFPWD auf dem L-Pegel ist und das komplementäre Niederleistungsbetriebsart-Anweisungssignal ZSRFPWD auf dem H-Pegel ist, auf dem L-Pegel, wobei das Gatter 84 als Puffer arbeitet und das Taktaktivierungssignal ENCLK sich gemäß einem Ausgangssignal der NAND-Schaltung ändert. In der Normalbetriebsart wird der Betriebsstromweg des CLK-Puffers 64 gemäß dem externen Taktfreigabesignal EXCKE wahlweise ausgebildet, um gemäß dem externen Taktsignal EXCLK, wenn er arbeitet (siehe Taktsignalsignal CLKE in Fig. 18 und in den Fig. 19A und 19B), das gepufferte Taktsignal CLKF zu erzeugen.

[0194] Wenn das Niederleistungsbetriebsart-Anweisungssignal SRFPWD auf den H-Pegel übergeht, um die Niederleistungsbetriebsart zu spezifizieren, geht das komplementäre Niederleistungsbetriebsart-Anweisungssignal ZSRFPWD auf den L-Pegel über. Als Antwort darauf geht das Ausgangssignal ϕC des Inverters 62g auf den H-Pegel über, geht das Taktaktivierungssignal ENCLK auf den L-Pegel über, wird die Erzeugung des internen Taktfreigabesignals INCKE und des internen Taktsignals INCLK abgeschlossen und wird der Betrieb der Pufferschaltung abgeschlossen. Dadurch wird ein Stromverbrauch in der Niederleistungsbetriebsart gesenkt.

[0195] Wenn das externe Taktfreigabesignal EXCKE auf den H-Pegel angesteuert wird, wird das Taktaktivierungssignal ENCLK, das in einem inaktiven Zustand gewesen ist, wieder auf den H-Pegel angesteuert. In der Niederleistungsbetriebsart arbeitet eine Eingangspufferschaltung im folgenden durch Freigeben eines Stromunterbrechungszustands einer Signaleingangsschaltung unter Verwendung des externen Taktfreigabesignals EXCKE in der Weise, daß sie einen Befehl zum Freigeben der Niederleistungsbetriebsart annimmt, der ermöglicht, daß die Vorrichtung die Normalbetriebsart wiederherstellt. Im folgenden wird mit Bezug auf die in den Fig. 21 und 22 gezeigten Zeitablaufpläne der Betrieb der CKE-Rücksetzschaltung 62 beschrieben.

[0196] Zunächst wird mit Bezug auf Fig. 21 der Betrieb in der Normalbetriebsart beschrieben. Wenn die Leistung eingeschaltet und ein Ausgangssignal des NAND-Gatters 82 auf den H-Pegel initialisiert ist, ist das Einschalt-Rücksetzsignal PORB auf dem L-Pegel. In der Normalbetriebsart ist das Niederleistungsbetriebsart-Anweisungssignal ZSRFPWD auf dem H-Pegel, wobei die Spannungspegel der Ausgangssignale der NAND-Schaltungen 62b und 62c gemäß dem externen Taktsignal EXCLK und dem externen Taktfreigabesignal EXCKE bestimmt sind. Das Ausgangssignal ϕC des Inverters 62g ist auf den L-Pegel festgesetzt.

[0197] Wenn eine Stromversorgungsspannung stabilisiert ist, ist das Einschalt-Rücksetzsignal PORB auf dem H-Pegel. Wenn das externe Taktfreigabesignal EXCKE auf einen H-Pegel übergeht, bevor das externe Taktsignal EXCLK den H-Pegel erreicht, erreicht ein Ausgangssignal des NAND-Gatters 62c den L-Pegel, erreicht ein Ausgangssignal des NAND-Gatters 82 den H-Pegel, erreicht das Ausgangssignal ϕA des Inverters 62f den L-Pegel und erreicht das Taktaktivierungssignal ENCLK als Antwort darauf den H-Pegel.

[0198] Daraufhin geht das Ausgangssignal ϕB der NAND-Schaltung 62h, wenn das interne Taktfreigabesignal INCKE gemäß dem externen Taktfreigabesignal EXCKE auf den H-Pegel übergeht, auf den L-Pegel über.

[0199] Falls das externe Taktfreigabesignal EXCKE auf den L-Pegel fällt, wenn das externe Taktsignal EXCLK auf

dem H-Pegel ist, ist ein Ausgangssignal der NAND-Schaltung 62c auf dem H-Pegel, wobei keine Änderung im Zustand des Flipflops 62e stattfindet. Da in diesem Taktzyklus das interne Taktfreigabesignal INCKE den H-Pegel erhält, erhält das Taktaktivierungssignal ENCLK den L-Pegel.

[0200] Wenn im nächsten Zyklus das externe Taktfreigabesignal EXCKE immer noch auf dem L-Pegel gehalten wird, fällt das interne Taktfreigabesignal INCKE auf den L-Pegel, während das Ausgangssignal ϕB der NAND-Schaltung 62h auf den H-Pegel steigt. Ein Ausgangssignal des Inverters 62d geht als Antwort auf ein Fallen des internen Taktfreigabesignals INCKE auf den H-Pegel über, wobei die beiden Eingänge des NAND-Gatters 81 einen H-Pegel empfangen und wobei das NAND-Gatter 81 ein Signal auf dem H-Pegel ausgibt. Als Antwort darauf geht ein Ausgangssignal des NAND-Gatters 82 auf den L-Pegel über. Als Antwort auf das Fallen eines Ausgangssignals des NAND-Gatters 82 steigt das Ausgangssignal ϕA des Inverters 62f auf den H-Pegel. Somit steigen die Eingangssignale in das NAND-Gatter 83 beide auf den H-Pegel, so daß das Taktaktivierungssignal ENCLK auf den L-Pegel fällt.

[0201] Falls, wenn das externe Taktsignal EXCLK auf den H-Pegel übergeht, wenn das externe Taktfreigabesignal EXCKE auf einem H-Pegel ist, das externe Taktsignal EXCLK auf den L-Pegel fällt, geht ein Ausgangssignal des NAND-Gatters 62c auf den L-Pegel über, geht ein Ausgangssignal des NAND-Gatters 82 auf den H-Pegel über und geht als Antwort das Ausgangssignal ϕA des Inverters 62f auf den L-Pegel über. Somit geht ein Ausgangssignal des NAND-Gatters 83 auf den H-Pegel über und geht das Taktaktivierungssignal ENCLK auf den H-Pegel über.

[0202] Im nächsten Zyklus steigt das interne Taktfreigabesignal INCKE auf den H-Pegel, während das Ausgangssignal ϕB des NAND-Gatters 62h auf den L-Pegel übergeht. Durch eine solche Operationsprozedur können die in den Fig. 19A und 19B gezeigten Operationen erreicht werden.

[0203] Wenn die Leistung eingeschaltet ist, wird ein Ausgangssignal des NAND-Gatters 82 durch das Einschalt-Rücksetzsignal PORB auf den H-Pegel eingestellt, wobei das Ausgangssignal ϕA des Inverters 62f als Antwort den L-Pegel erreicht und das Taktaktivierungssignal ENCLK auf den H-Pegel übergeht. Somit geht das Ausgangssignal ϕB der NAND-Schaltung 62h auf den L-Pegel über, wenn das interne Taktfreigabesignal INCKE auf den H-Pegel übergeht. In dem Verbundgatter 62i ist ein Ausgangssignal des NAND-Gatters 83 auf dem H-Pegel, während das Taktaktivierungssignal ENCLK den H-Pegel selbst dann erhält, wenn das Flipflop 62e gesetzt ist und das Ausgangssignal ϕA des Inverters 62f steigt.

[0204] Somit kann das Taktaktivierungssignal ENCLK in der Normalbetriebsart gemäß dem externen Taktsignal EXCLK und dem externen Taktfreigabesignal EXCKE wahlweise aktiviert/deaktiviert werden.

[0205] Wenn das interne Taktfreigabesignal INCKE gemäß dem externen Taktfreigabesignal EXCKE deaktiviert wird, werden die Betriebsstrom-Flußwege der Steuerpufferschaltung 20 und der Adressenpufferschaltung 22 unterbrochen und diese Schaltungen deaktiviert. In diesem Zustand wird lediglich der interne Betrieb aufrechterhalten, wobei selbst dann kein Problem auftritt, wenn die Schaltungen 20 und 22 deaktiviert sind.

[0206] Mit Bezug auf Fig. 22 wird nun der Betrieb in der Niederleistungsbetriebsart beschrieben. In der Niederleistungsbetriebsart geht das komplementäre Niederleistungsbetriebsart-Anweisungssignal ZSRFPWD vom H-Pegel auf den L-Pegel über. Da das Taktaktivierungssignal ENCLK beim Übergang auf die Niederleistungsbetriebsart auf dem H-Pegel ist, ist ein Ausgangssignal des Inverters 62a auf

dem L-Pegel, während ein Ausgangssignal der UND-Schaltung 62b auf dem H-Pegel ist.

[0207] Somit wird das Taktaktivierungssignal ENCLK durch das Verbundgatter 62i auf den L-Pegel angesteuert, wenn das Niederleistungsbetriebsart-Anweisungssignal SRFPWD auf den H-Pegel steigt und das komplementäre Niederleistungsbetriebsart-Anweisungssignal ZSRFPWD auf den L-Pegel fällt. Das externe Taktfreigabesignal EXCKE wird in der Niederleistungsbetriebsart auf dem L-Pegel gehalten. In einem Zyklus, in dem die Niederleistungsbetriebsart-Anweisung angelegt wird, fällt das interne Taktfreigabesignal INCKE auf den L-Pegel.

[0208] Beim Austritt aus der Niederleistungsbetriebsart wie etwa aus der Selbstaufrischbetriebsart steigt das externe Taktfreigabesignal EXCKE auf den H-Pegel. Wie zuvor beschrieben liegt dies daran, daß das Taktaktivierungssignal ENCLK auf dem L-Pegel ist und ein Eingangspuffer auf einen nichtleitenden Zustand eingestellt ist, um die Annahme eines externen Befehls zu sperren.

[0209] Wenn das externe Taktfreigabesignal EXCKE auf den H-Pegel steigt, wird die in Fig. 17 gezeigte Zwischenspeicherschaltung 71 zurückgesetzt, wobei das Niederleistungsbetriebsart-Anweisungssignal ZSRFPWD auf den H-Pegel zurückgesetzt wird. Wenn das externe Taktsignal EXCLK auf dem L-Pegel ist, ist ein Ausgangssignal des NAND-Gatters 62b auf dem H-Pegel, wobei ein Ausgangssignal des NAND-Gatters 62c als Antwort auf ein Steigen des externen Taktfreigabesignals EXCKE auf den L-Pegel übergeht und das Setz/Rücksetz-Flipflop 62e gesetzt wird, um sein Ausgangssignal auf den H-Pegel anzusteuern. Als Antwort darauf geht das Ausgangssignal ϕA des Inverters 62f auf den L-Pegel über, geht das Taktaktivierungssignal ENCLK auf den H-Pegel über und wird ein CLK-Puffer aktiviert, um gemäß dem externen Taktsignal EXCLK ein gepuffertes Taktsignal zu erzeugen.

[0210] Falls, wenn das externe Taktsignal EXCKE auf den H-Pegel eingestellt ist, wenn das externe Taktfreigabesignal EXCLK auf dem H-Pegel ist, das externe Taktsignal EXCLK auf den L-Pegel übergeht, geht das Ausgangssignal des NAND-Gatters 62b auf den H-Pegel über, wird das Flipflop 62e gesetzt und geht das Taktaktivierungssignal ENCLK auf den H-Pegel über. Somit wird das Taktaktivierungssignal ENCLK unabhängig von einer zeitlichen Beziehung zwischen dem externen Taktfreigabesignal EXCKE und dem externen Taktsignal EXCLK aktiviert, wenn das externe Taktsignal auf dem L-Pegel ist, wobei das gepufferte Taktsignal gemäß dem nächsten externen Taktsignal EXCLK erzeugt werden kann.

[0211] Im nächsten Zyklus wird das interne Taktfreigabesignal INCKE auf den H-Pegel angesteuert. Das Ausgangssignal ϕB des NAND-Gatters 62h fällt gemäß der Aktivierung des internen Taktfreigabesignals EXCKE vom H-Pegel auf den L-Pegel. Somit wird das Taktsteuersignal CLKE im nächsten Taktzyklus aktiviert, wenn das externe Taktfreigabesignal EXCKE auf den H-Pegel steigt. Als Antwort darauf wird das interne Taktfreigabesignal INCKE aktiviert, wobei im gleichen und im nachfolgenden Zyklus das interne Taktsignal INCLK erzeugt werden kann.

[0212] Somit kann, nachdem seit einem Anstieg des externen Taktfreigabesignals EXCKE auf den H-Pegel eine Zeitdauer von 2 Taktzyklen vergangen ist, ein externer Befehl zum Einstellen eines internen Zustands und zum Ausführen des Freigebens aus der Selbstaufrischbetriebsart angenommen werden.

[0213] Dadurch, daß in der Niederleistungsbetriebsart ein CLK-Puffer, die Steuerpufferschaltung 20 und die Adressenpufferschaltung 22 jeweils gemäß dem Taktaktivierungssignal ENCLK und dem internen Taktfreigabesignal INCKE

auf einen Stromversorgungs-Unterbrechungszustand eingestellt werden, kann ein Stromverbrauch stark gesenkt werden.

[0214] Außerdem wird das Taktaktivierungssignal ENCLK beim Austritt aus der Niederleistungsbetriebsart unter Verwendung des externen Taktfreigabesignals EXCKE auf einen aktiven Zustand eingestellt, wenn das externe Taktsignal EXCLK auf dem L-Pegel ist. Somit kann beim Anlegen eines Niederleistungsbetriebsart-Austrittsbefehls eine Zeitdauer von 2 Taktzyklen genau sichergestellt werden, wobei die Zeitgebungssteuerung für den Austritt aus der Niederleistungsbetriebsart erreicht werden kann.

[0215] Fig. 23 ist ein Stromlaufplan einer Konfiguration eines einer Eingangspufferschaltung entsprechenden Steuerabschnitts. In Fig. 23 wird das Steuersignal 4EN für einen Stromquellentransistor einer entsprechenden Eingangspufferschaltung durch die UND-Schaltung 90, die das in der Zustandssteuerungs-Signalgruppe ENG enthaltene Zustandssteuersignal ENi und das interne Taktfreigabesignal INCKE empfängt, erzeugt. Dadurch kann selbst in einer Konfiguration, die Eingangspuffer mehrerer Typen enthält, durch Unterbrechen der Wege für die Betriebsstromquellen ein verbrauchter Strom in der Betriebsart mit niedrigem Leistungsverbrauch zuverlässig gesenkt werden.

[0216] Anstelle des in den Fig. 14 und 15 gezeigten Zustandssteuersignals ENi wird das in Fig. 23 gezeigte Steuersignal ϕ EN verwendet.

Abwandlung

[0217] Fig. 24 ist ein schematischer Blockschaltplan einer Konfiguration einer Abwandlung der vierten Ausführungsform der Erfindung. In der in Fig. 24 gezeigten Konfiguration werden das CS-Trennungsbetriebsart-Anweisungssignal CSCUT, das interne Chipfreigabesignal INCKE und das interne Chipauswahlsignal INZCS an die Steuerpufferschaltung 20 und an die Adressenpufferschaltung 22 angelegt, während die Zustandssteuerungs-Signalgruppe nicht an diese Pufferschaltungen angelegt wird.

[0218] Mit anderen Worten, in der Steuerpufferschaltung 20 und in der Adressenpufferschaltung 22 sind die Eingangspuffer eines Typs vorgesehen, deren Betriebsstromquellen gemäß dem CS-Trennungsbetriebsart-Anweisungssignal CSCUT, dem internen Chipauswahlsignal INZCS und dem internen Chipfreigabesignal INCKE gesteuert werden.

[0219] Somit kann in einer Halbleiterspeichervorrichtung mit Eingangspuffern einer Art anstelle von Eingangspuffern verschiedenartiger Typen auch eine Konfiguration verwendet werden, in der eine Betriebsstromquelle gemäß dem internen Taktfreigabesignal INCKE unterbrochen wird, wobei außerdem der CLK-Puffer 64, der ein internes (Puffer-)Taktsignal erzeugt, zurückgesetzt wird. Die anderen Teile der Konfiguration sind die gleichen wie die der in Fig. 17 gezeigten Konfiguration, wobei gleiche Komponenten mit dem gleichen Bezugszeichen bezeichnet sind und ihre ausführliche Beschreibung weggelassen ist.

[0220] Wie oben beschrieben wurde, wird gemäß der vierten Ausführungsform der Erfindung in der Betriebsart mit niedrigem Leistungsverbrauch, wenn eine vorgegebene Bedingung erfüllt ist, eine Stromquelle einer Eingangspufferschaltung unterbrochen, wodurch ein verbrauchter Strom in der Betriebsart mit niedrigem Leistungsverbrauch stärker gesenkt werden kann.

[0221] Es wird angemerkt, daß das interne Taktfreigabesignal INCKE in der Niederleistungsbetriebsart deaktiviert wird, wenn das externe Taktfreigabesignal EXCKE während einer Zeitdauer von 2 Taktzyklen auf dem L-Pegel ge-

halten wird. Die Anzahl der Taktzyklen, während der das externe Taktfreigabesignal EXCKE auf dem L-Pegel gehalten wird, kann drei oder mehr betragen oder es kann alternativ ein spezifischer Befehl zum Unterbrechen einer Stromquelle verwendet werden.

[0222] Wie oben beschrieben wurde, sind gemäß der Erfindung die Eingangspuffer verschiedenartiger Typen für einen Signaleingangsknoten parallel vorgesehen, wobei sie gemäß den Speicherinhalten einer Programmschaltung wahlweise verwendet werden. Somit kann mit einer einfachen Konfiguration ein Eingangspuffer eines gewünschten Typs leicht verwendet werden, wodurch eine Verringerung der Durchlaufzeit ermöglicht wird und dementsprechend die Produktionskosten gesenkt werden.

[0223] Obgleich die Erfindung ausführlich beschrieben und gezeigt worden ist, dient dies selbstverständlich lediglich zur Erläuterung und als Beispiel und soll nicht als Beschränkung verstanden werden, wobei der Erfindungsgedanke und der Umfang der Erfindung lediglich durch die beigefügten Ansprüche beschränkt ist.

Patentansprüche

1. Halbleitervorrichtung, mit:
mehreren Eingangspuffern (11-13) unterschiedlichen Typs; und
einer Programmschaltungsanordnung (2) zum Erzeugen eines Signals, das die mehreren Eingangspuffer (11-13) alternativ in einen Betriebszustand ansteuert, wobei die mehreren Eingangspuffer (11-13) gemäß einem Ausgangssignal der Programmschaltungsanordnung (2) wahlweise in einen Betriebszustand eingestellt werden und gemäß einem empfangenen Signal einen internen Knoten (6) ansteuern, wenn sie aktiviert sind.
2. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Programmschaltungsanordnung (2) Sicherungselemente (LT1, LT2) umfaßt, die wahlweise durchgeschmolzen werden können.
3. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Programmschaltungsanordnung (2) umfaßt:
mehrere Sicherungsschaltungen, die jeweils ein Sicherungselement (LT1, LT2) enthalten, das wahlweise durchgeschmolzen werden kann und ein Signal erzeugt, das einem durchgeschmolzenen oder leitenden Zustand des Sicherungselements (LT1, LT2) entspricht; und
eine Decodierungsschaltung (GT1-GT3) zum Decodieren der Ausgangssignale der mehreren Sicherungsschaltungen und zum Erzeugen eines Signals (ENG) zum Steuern des Betriebs der freigegebenen und der gesperrten Zustände der Eingangspuffer (11-13).
4. Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Programmschaltungsanordnung (2) eine Decodierungsschaltung (GT1-GT3) zum Decodieren von Spannungssignalen, die an mehrere Kontaktierungsanschlußflächen (PD1, PD2) angelegt werden, die auf jeweilige vorgeschriebene Spannungspegel eingestellt werden, und zum Erzeugen eines Signals (ENG) zum Steuern des Betriebs der freigegebenen und gesperrten Zustände der Eingangspuffer (11-13) umfaßt.
5. Halbleitervorrichtung nach Anspruch 1, gekennzeichnet durch
eine Registerschaltung (28) zum Speichern eines Datensignals, das spezifiziert, ob die Steuerung an einem Eingangspuffer, der unter den mehreren Eingangspuff-

fern (11-13) durch ein Betriebsaktivierungssignal in einen Betriebszustand eingestellt ist, gültig ist, wobei das Betriebsaktivierungssignal (EXZCS) angibt, daß ein externes Signal, das an einen entsprechend den mehreren Eingangspuffern (11-13) vorgesehenen Eingangsknoten (6) angelegt wird, ein gültiges Signal ist; und eine Aktivierungssteuerschaltung (37) zum wahlweisen Aktivieren des Eingangspuffers, der gemäß dem Betriebsaktivierungssignal (EXZCS) und dem gespeicherten Datensignal in der Registerschaltung (28) in einen Betriebszustand eingestellt ist, wobei die Aktivierungssteuerschaltung (37) den in Übereinstimmung mit dem Betriebsaktivierungssignal (EXZCS) in einen Betriebszustand eingestellten Eingangspuffer wahlweise aktiviert, wenn das gespeicherte Datensignal angibt, daß die Steuerung an dem durch das Aktivierungssteuersignal in einen Betriebszustand eingestellten Eingangspuffer gültig ist, und die mehreren Eingangspuffer (11-13) in Übereinstimmung mit dem in der Programmschaltungsanordnung (2) programmierten Signal betriebsfähig macht, wenn das in der Registerschaltung (28) gespeicherte Signal angibt, daß die Steuerung an dem durch das Betriebsaktivierungssignal (EXZCS) in einen Betriebszustand eingestellten Eingangspuffer gültig ist.

6. Halbleitervorrichtung nach Anspruch 1, gekennzeichnet durch

eine Pufferschaltung (40b; 40c) zur nächsten Stufe zur weiteren Pufferung des Signals an dem internen Knoten (6);

eine Registerschaltung (28) zum Speichern eines Signals, das spezifiziert, ob die Steuerung an der Pufferschaltung (40b; 40c) zur nächsten Stufe durch ein Betriebsaktivierungssignal (EXZCS) gültig ist, wobei das Betriebsaktivierungssignal (EXZCS) angibt, daß ein externes Signal, das an einen entsprechend den mehreren Eingangspuffern (11-13) vorgesehenen Signaleingangsknoten (5) angelegt wird, ein gültiges Signal ist; und

eine Aktivierungssteuerschaltung (37) zum wahlweisen Aktivieren der Pufferschaltung (40c) zur nächsten Stufe in Übereinstimmung mit dem Betriebsaktivierungssignal (EXZCS), dem in der Registerschaltung (28) gespeicherten Signal und dem in der Programmschaltung (2) programmierten Signal, wobei die Aktivierungssteuerschaltung (37) die Pufferschaltung (40b; 40c) zur nächsten Stufe gemäß dem Betriebsaktivierungssignal (EXZCS) wahlweise aktiviert, wenn das in der Registerschaltung (28) gespeicherte Signal angibt, daß die Steuerung an der Pufferschaltung (40b; 40c) zur nächsten Stufe durch das Betriebsaktivierungssignal (EXZCS) gültig ist, und die Pufferschaltung (40b; 40c) zur nächsten Stufe jederzeit auf einen Betriebszustand einstellt, wenn die gespeicherten Daten in der Registerschaltung (28) angeben, daß die Steuerung an der Pufferschaltung (40b; 40c) zur nächsten Stufe durch das Betriebsaktivierungssignal (EXZCS) ungültig ist.

7. Halbleitervorrichtung nach Anspruch 5, dadurch gekennzeichnet, daß

die Halbleitervorrichtung eine synchrone Halbleiterspeichervorrichtung ist, die in Übereinstimmung mit einem Taktsignal (EXCLK) arbeitet, und das Betriebsaktivierungssignal (EXZCS) ein Chipauswahlsignal (ZCS) ist, das angibt, daß die Halbleiterspeichervorrichtung ausgewählt ist.

8. Halbleitervorrichtung nach Anspruch 1, gekennzeichnet durch

einen Taktfreigabepuffer (60) zum Erzeugen eines in-

ternen Taktfreigabesignals (INCKE) gemäß einem externen Taktfreigabesignal (EXCKE);

eine Taktaktivierungsschaltung (62) zum Aktivieren eines Taktaktivierungssignals (ENCLK) als Antwort auf das interne Taktfreigabesignal (INCKE) und auf das externe Taktfreigabesignal (EXCKE); und

einen Taktpuffer (64) zum Erzeugen eines internen Taktsignals (CLKF) gemäß einem externen Taktsignal, wenn das Taktaktivierungssignal (ENCLK) aktiv ist, wobei

der Eingangspuffer (20, 22) auf einen Nichtbetriebszustand eingestellt ist, wenn das interne Taktfreigabesignal (INCKE) inaktiv ist, und das Taktaktivierungssignal (ENCLK) aktiviert wird, nachdem das externe Taktfreigabesignal (EXCKE) während einer vorgegebenen Zeitdauer in einem inaktiven Zustand gehalten wird.

9. Halbleitervorrichtung nach Anspruch 8, dadurch gekennzeichnet, daß das externe Taktfreigabesignal (EXCKE) in einer Niederleistungsbetriebsart in einem inaktiven Zustand gehalten wird, und daß der Betriebsstromflußweg des Eingangspuffers (20, 22) als Antwort auf die Deaktivierung des internen Taktfreigabesignals (INCKE) unterbrochen wird.

10. Halbleitervorrichtung nach Anspruch 9, dadurch gekennzeichnet, daß

die Halbleitervorrichtung eine taktsynchrone Halbleiterspeichervorrichtung (3, 4; Fig. 9) ist, die synchron zu dem externen Taktsignal (EXCLK) arbeitet, und die Niederleistungsbetriebsart eine Betriebsart ist, in der der Zugriff auf die Halbleiterspeichervorrichtung abgeschlossen ist.

11. Halbleitervorrichtung, mit:

einer Signaleingabe-Schaltungsanordnung (20, 22), die einen Eingangspuffer (40) zum Puffern eines von außen zugeführten Signals und zum Erzeugen eines internen Signals, wenn er aktiv ist, enthält;

einer Registerschaltungsanordnung (28) zum Speichern eines Signals, das spezifiziert, ob die Steuerung an der Signaleingabe-Schaltungsanordnung durch ein Betriebsaktivierungssignal (EXZCS) gültig ist, wobei das Betriebsaktivierungssignal (EXZCS) angibt, daß ein externes Signal ein gültiges Signal ist; und

einer Aktivierungssteuerschaltung (37) zum wahlweisen Aktivieren der Signaleingabe-Schaltungsanordnung (20, 22) gemäß dem Betriebsaktivierungssignal (EXZCS) und dem in der Registerschaltungsanordnung (28) gespeicherten Signal, wobei die Aktivierungssteuerschaltung (37) die Signaleingabe-Schaltungsanordnung (20, 22) gemäß dem Betriebsaktivierungssignal (EXZCS) wahlweise aktiviert, wenn das gespeicherte Signal in der Registerschaltungsanordnung (28) angibt, daß die Steuerung an der Signaleingabe-Schaltungsanordnung (20, 22) durch das Betriebsaktivierungssignal (EXZCS) gültig ist, und die Signaleingabe-Schaltungsanordnung (20, 22) jederzeit in einen Betriebszustand einstellt, wenn das gespeicherte Signal in der Registerschaltungsanordnung (28) angibt, daß die Steuerung an der Signaleingabe-Schaltungsanordnung (20, 22) durch das Betriebsaktivierungssignal (EXZCS) gültig ist.

12. Halbleitervorrichtung nach Anspruch 11, dadurch gekennzeichnet, daß die Aktivierungssteuerschaltung (37) die Aktivierung und Deaktivierung des Eingangspuffers (40) steuert.

13. Halbleitervorrichtung nach Anspruch 11, dadurch gekennzeichnet, daß

die Signaleingabe-Schaltungsanordnung (20, 22; 40)

eine Pufferschaltung (40b, 40c) zur nächsten Stufe zum weiteren Puffern eines Ausgangssignals des Eingangspuffers (40) umfaßt, und

die Aktivierungssteuerschaltung (37) die Aktivierung und Deaktivierung der Pufferschaltung (40c) zur nächsten Stufe steuert.

14. Halbleitervorrichtung nach Anspruch 11, dadurch gekennzeichnet, daß

die Halbleitervorrichtung eine synchrone Halbleiterspeichervorrichtung ist, die gemäß einem Taktsignal (EXCLK) arbeitet; und

das Betriebsaktivierungssignal (EXZCS) ein Chipauswahlsignal (ZCS) ist, das angibt, daß die Halbleiterspeichervorrichtung ausgewählt ist.

15. Halbleitervorrichtung, mit:

einer Pufferschaltung (20, 22) zum Puffern eines von außen zugeführten Signals, wenn sie aktiv ist;

einem Taktpuffer (64) zum Erzeugen eines internen Taktsignals (CLKF) gemäß einem externen Taktsignal (EXCLK), wenn ein Taktfreigabesignal (EXCKE) aktiv ist;

einer Takterfassungs-Schaltungsanordnung (60) zum Erfassen, ob das Taktfreigabesignal (EXCKE) während einer vorgeschriebenen Zeitdauer in einer Niederleistungsbetriebsart inaktiv gehalten wird; und

einer Steuerschaltungsanordnung (62) zum Einstellen der Pufferschaltung (20, 22) und des Taktpuffers (64) in einen inaktiven Zustand als Antwort auf ein Erfassungssignal (ENCLK) der Takterfassungs-Schaltungsanordnung (60).

16. Halbleitervorrichtung nach Anspruch 15, dadurch gekennzeichnet, daß

die Halbleitervorrichtung eine taktsynchrone Halbleiterspeichervorrichtung ist, die synchron zu dem externen Taktsignal (EXCLK) arbeitet, und

die Niederleistungsbetriebsart eine Betriebsart ist, in der der Zugriff auf die Halbleiterspeichervorrichtung abgeschlossen ist.

17. Halbleitervorrichtung nach Anspruch 15, dadurch gekennzeichnet, daß

die Takterfassungs-Schaltungsanordnung (60) eine Schaltung (Fig. 20) zum Deaktivieren des Erfassungssignals (ENCLK) als Antwort auf die Aktivierung eines externen Taktfreigabesignals (EXCLK) umfaßt,

die Steuerschaltungsanordnung (62) ein Aktivierungssteuersignal (ZCS) als Antwort auf das Erfassungssignal (ENCLK) deaktiviert und das Aktivierungssteuersignal (ZCS) als Antwort auf das externe Taktfreigabesignal (EXCKE) und das externe Taktsignal (EXCLK) aktiviert, und

die Pufferschaltung (20, 22) und der Taktpuffer (64) arbeiten, wenn das Aktivierungssteuersignal (ZCS) aktiv ist, wobei sie gemäß einem angelegten Signal ein entsprechendes internes Signal erzeugen, wenn sie aktiv sind.

18. Halbleitervorrichtung nach Anspruch 17, dadurch gekennzeichnet, daß die Steuerschaltungsanordnung

(62) das Aktivierungssteuersignal (ZCS) gemäß dem externen Taktfreigabesignal (EXCKE) deaktiviert, wenn das externe Taktsignal (EXCLK) auf einem ersten Logikpegel (L) ist.

Hierzu 12 Seite(n) Zeichnungen

- Leerseite -

FIG. 1

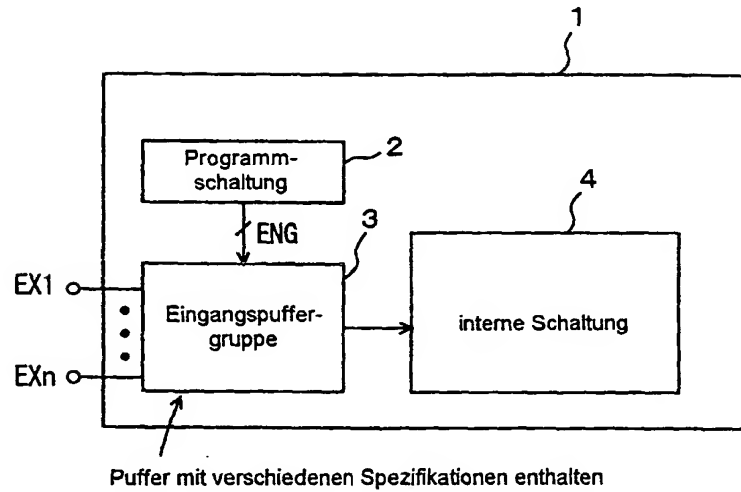


FIG. 2

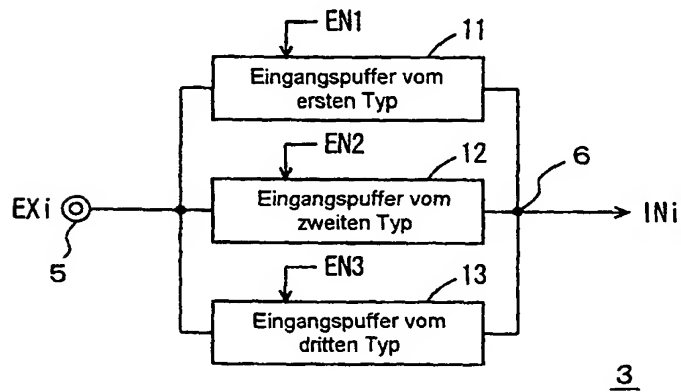


FIG. 3

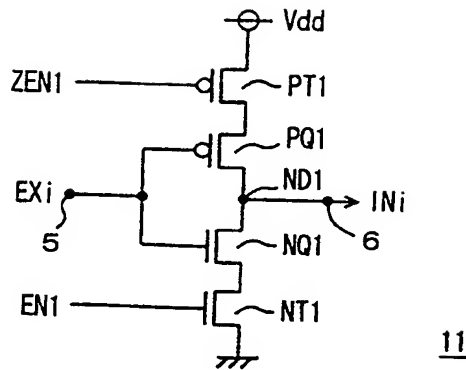


FIG. 4

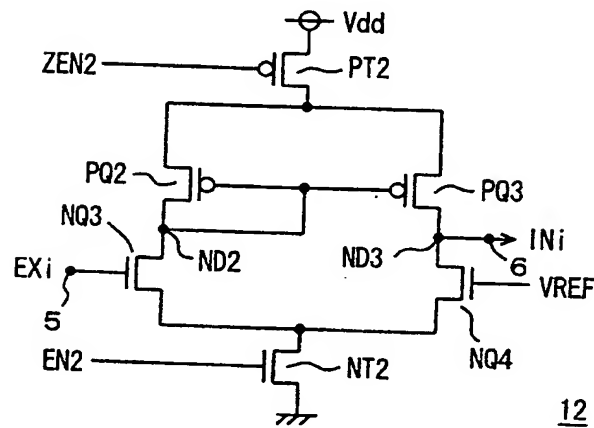


FIG. 5

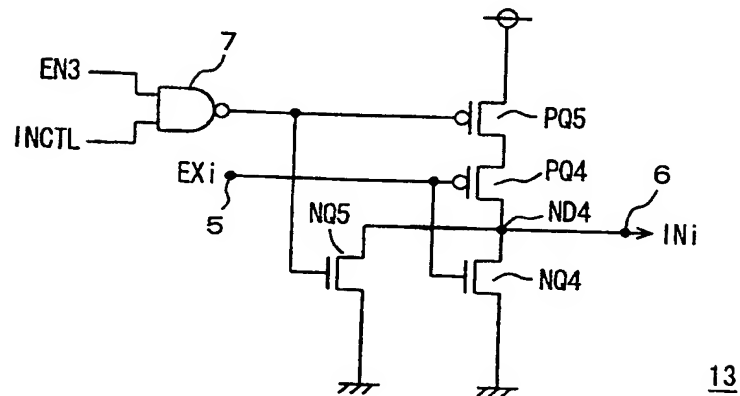


FIG. 6

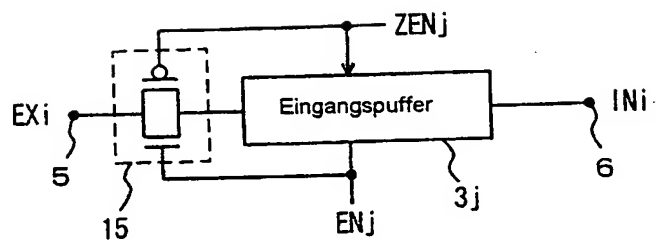


FIG. 7

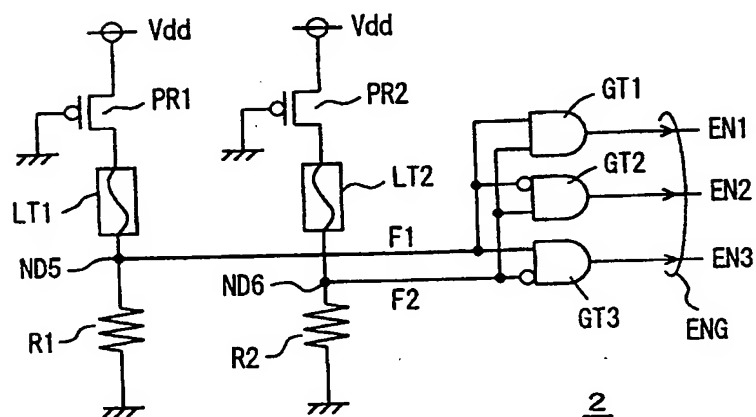


FIG. 8

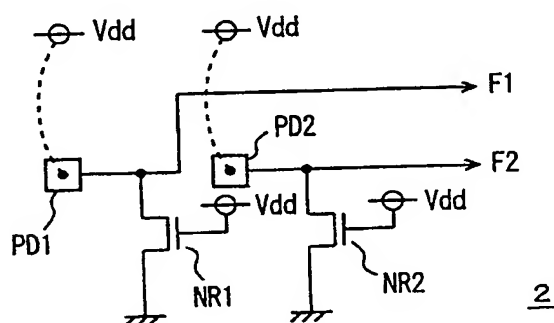


FIG. 9

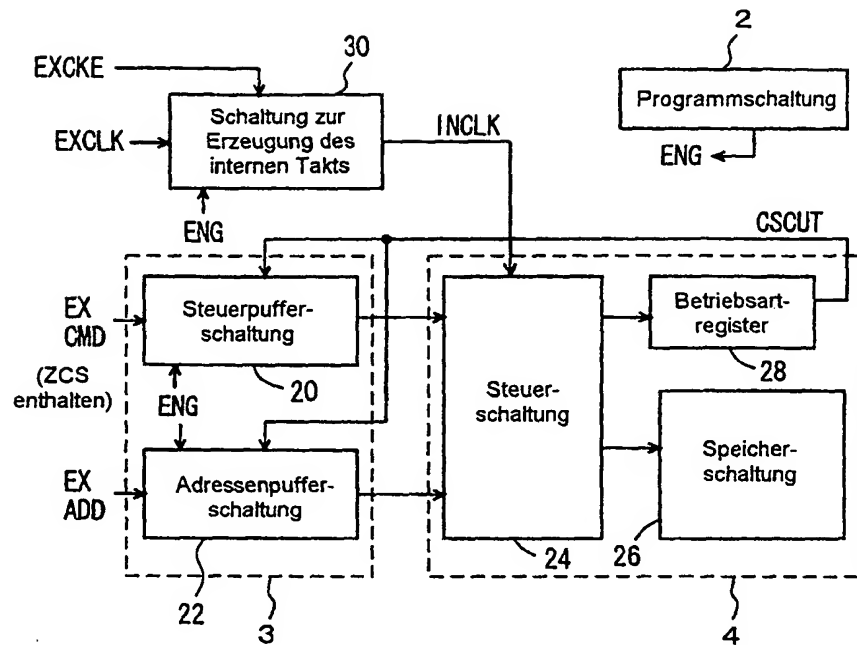


FIG. 10

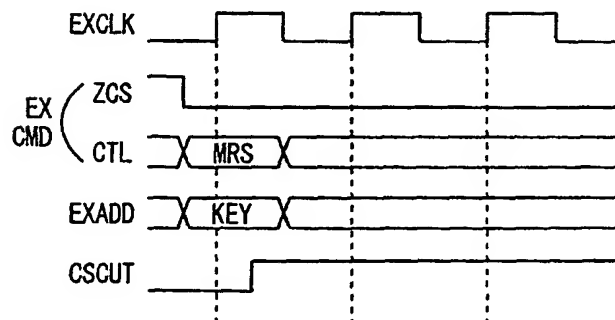


FIG. 11

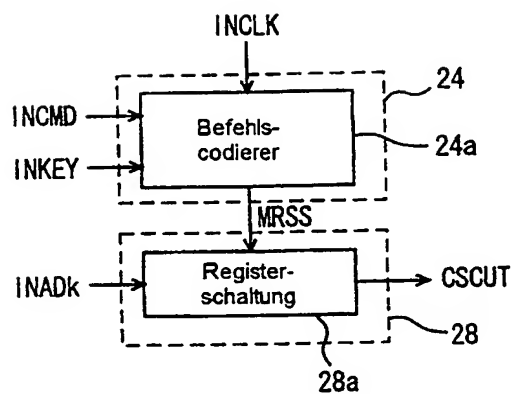


FIG. 12

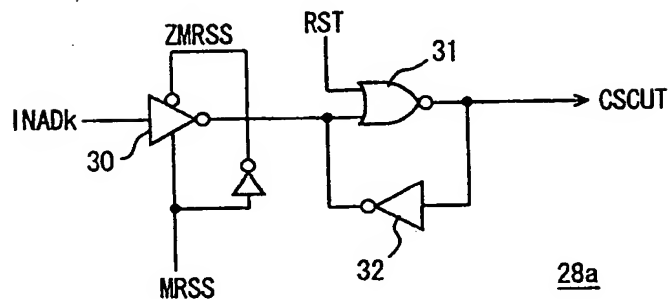


FIG. 13

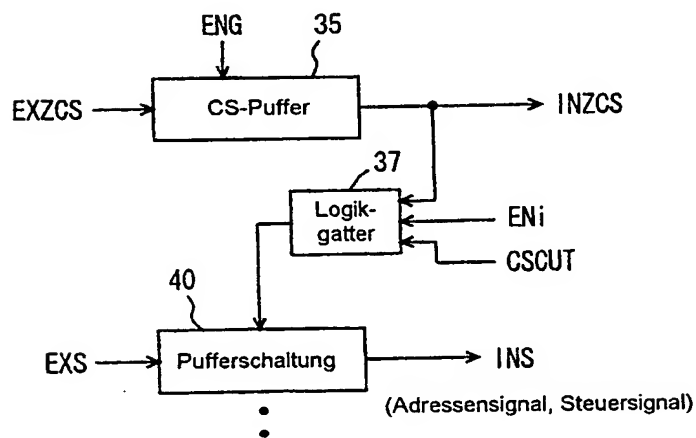


FIG. 14

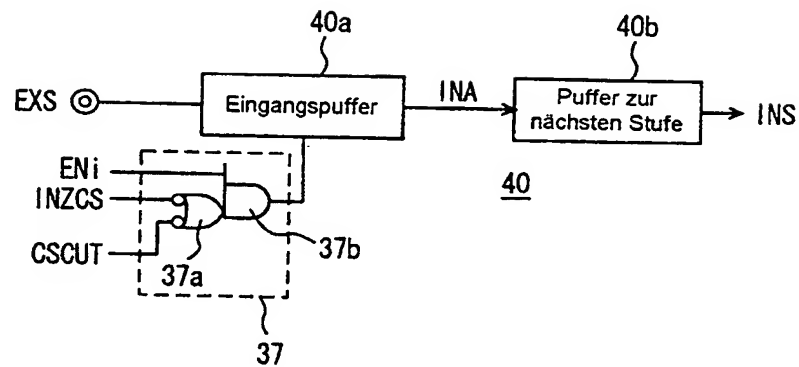


FIG. 15

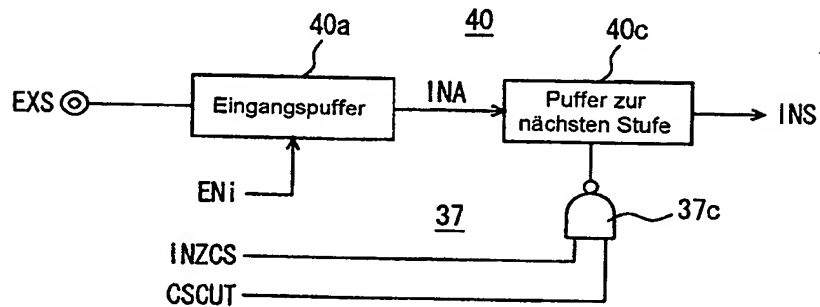


FIG. 16

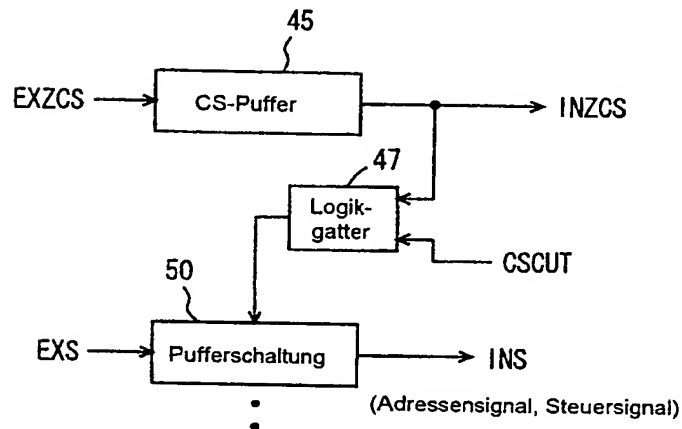


FIG. 17

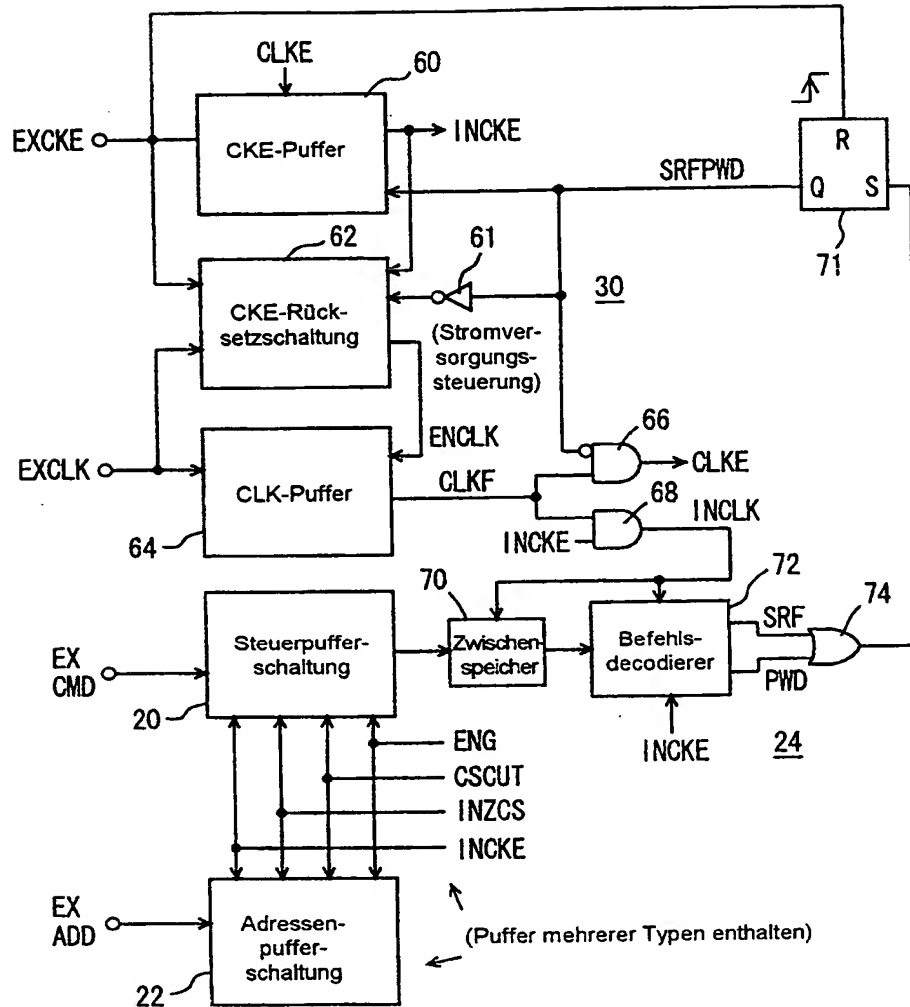


FIG. 18

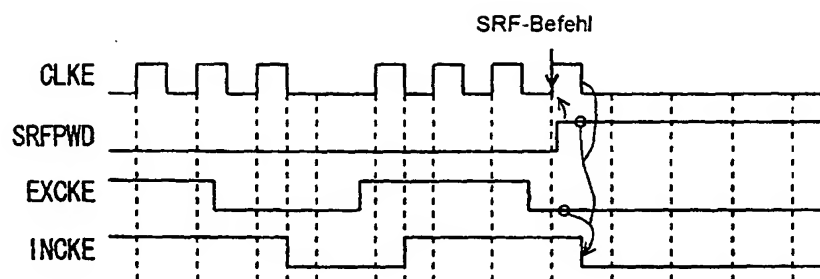


FIG. 19A

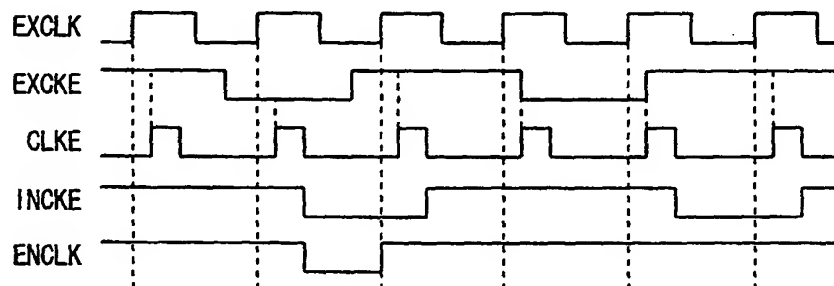


FIG. 19B

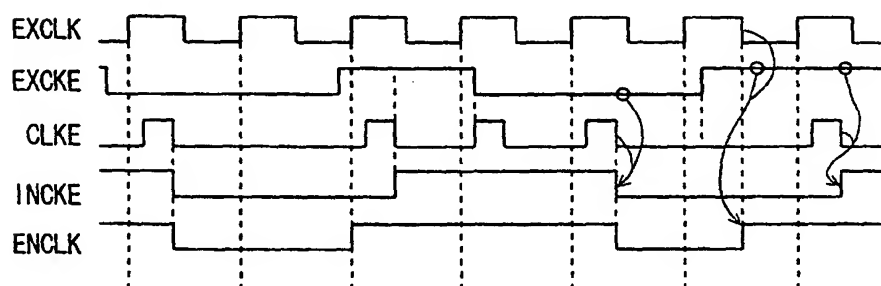


FIG. 20

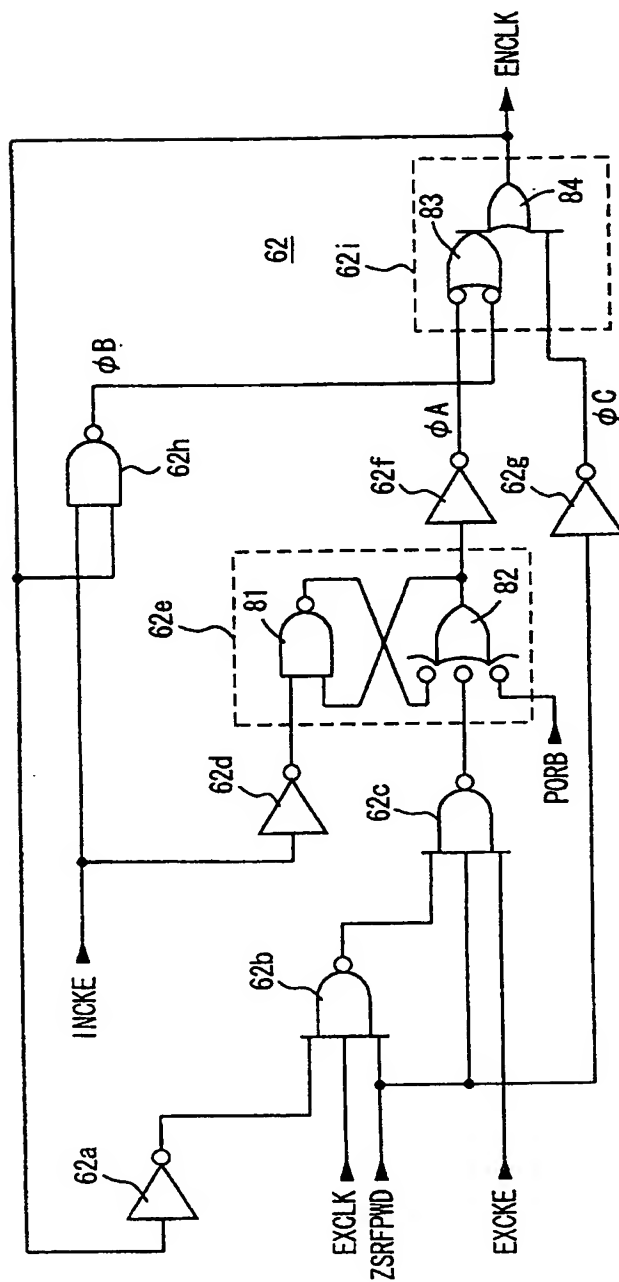


FIG. 21

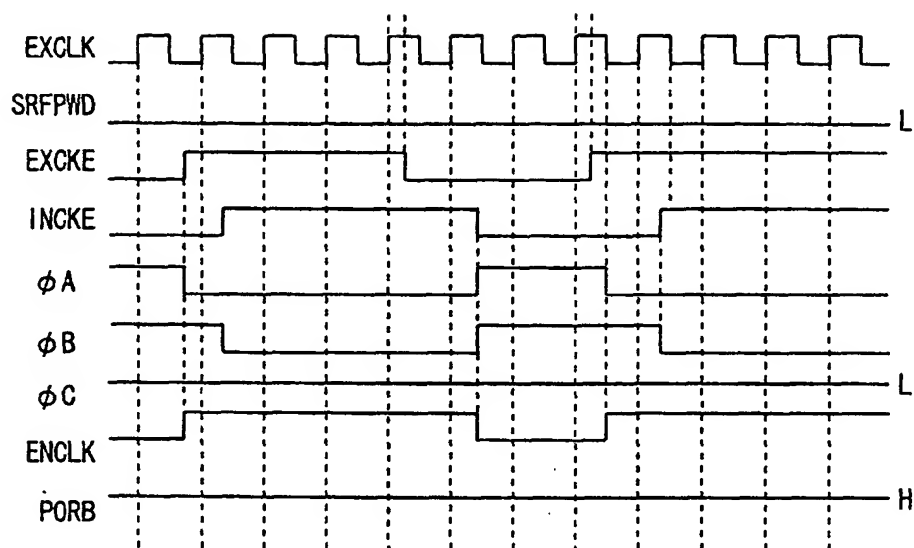


FIG. 22

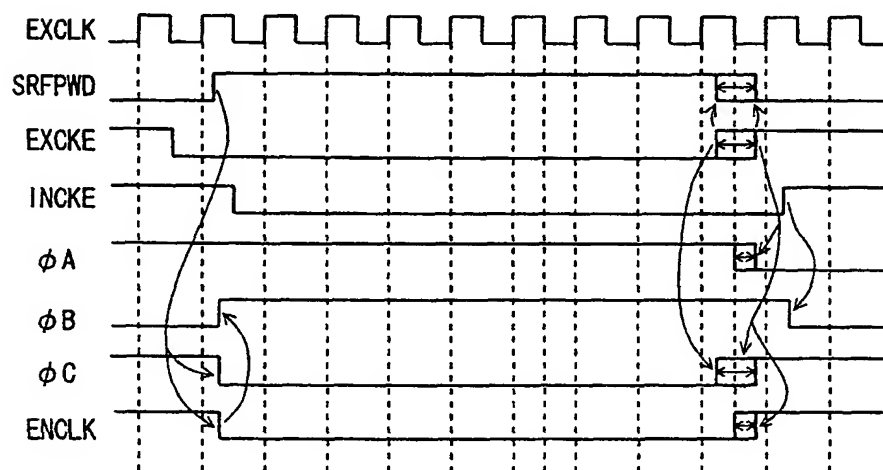


FIG. 23

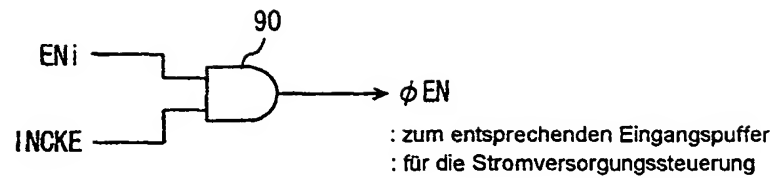


FIG. 24

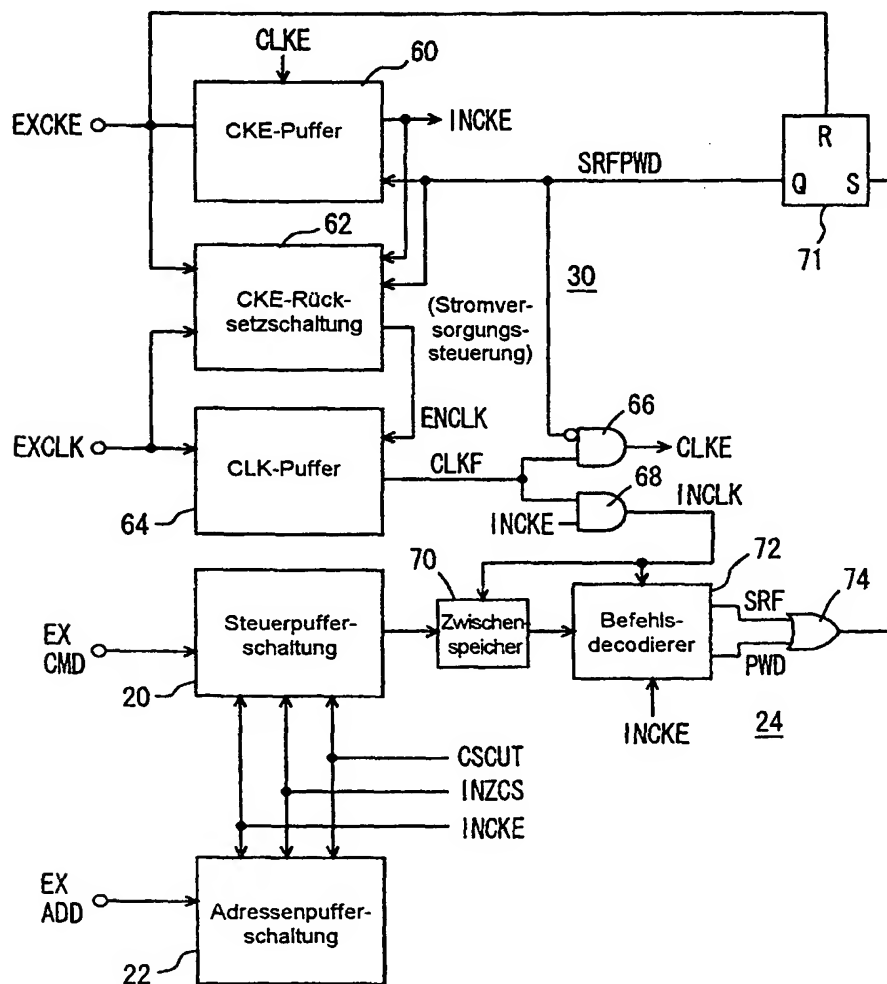


FIG. 25

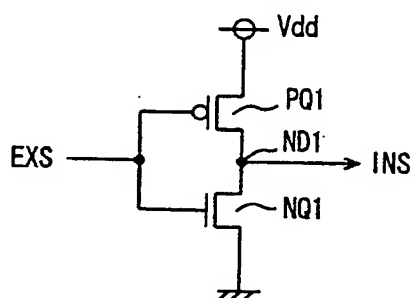


FIG. 26

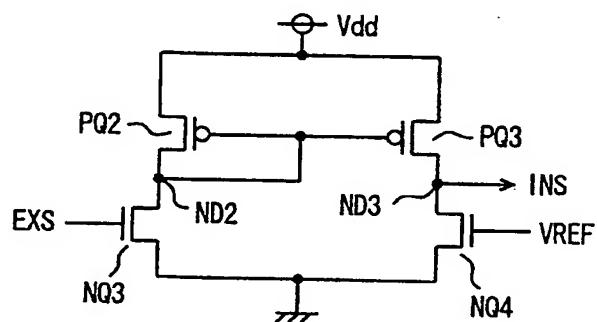
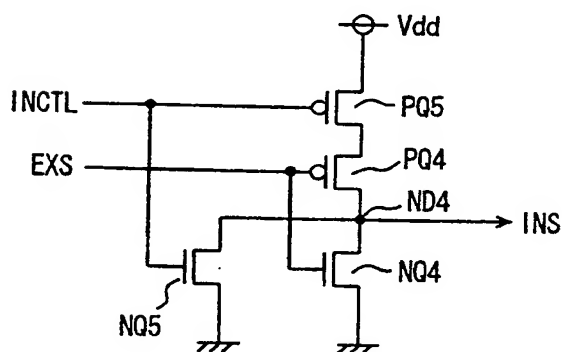


FIG. 27



Clock synchron us s miconductor mem ry devic

Patent Number: US2002191480
Publication date: 2002-12-19
Inventor(s): OKAMOTO TAKEO (JP); MATSUMOTO JUNKO (JP); YAMAUCHI TADAAKI (JP)
Applicant(s): MITSUBISHI ELECTRIC CORP (US)
Requested Patent: DE10220968
Application Number: US20020140937 20020509
Priority Number(s): JP20010178286 20010613
IPC Classification: G11C5/00
EC Classification:
Equivalents: CN1391229, JP2002374164

Abstract

In a control circuit and an address buffer circuit, buffer circuits of plural types are provided to each of pin terminals and an input buffer of one type is activated according a state control signal group. In a standby state, current paths of the control buffer circuit and the address buffer circuit are selectively cut off according to a CS cut mode instructing signal stored in a mode register and an internal chip select signal. Furthermore, when a low power consumption mode is specified, a current path of a CLK buffer for generating an internal clock signal is cut off according to an external clock enable signal and a low power mode instructing signal, and the current paths of the control buffer circuit and the address buffer circuit are also cut-off

Data supplied from the esp@cenet database - 12

DOCKET NO: W&B-INF-1919

SERIAL NO: _____

APPLICANT: A. Schäfer et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100